

# SEMICONDUCTOR STORAGE DEVICE AND METHOD FOR MANUFACTURING THE SAME

Publication number: JP2001156188

Publication date: 2001-06-08

Inventor: YOSHIKAWA KUNIYOSHI

Applicant: TOKYO SHIBAURA ELECTRIC CO

Classification:

- international: H01L21/8247; G11C11/56; G11C16/04; H01L21/28; H01L21/336; H01L21/8242; H01L21/8246; H01L27/10; H01L27/108; H01L27/115; H01L29/788; H01L29/792; G11C11/56; G11C16/04; H01L21/02; H01L21/70; H01L27/10; H01L27/108; H01L27/115; H01L29/66; (IPC1-7): H01L21/8247; H01L21/8242; H01L27/108; H01L29/788

- European: G11C11/56M; G11C16/04M2; H01L21/28G; H01L21/336G; H01L21/8246T; H01L27/115; H01L29/792B

Application number: JP20000057642 20000302

Priority number(s): JP20000057642 20000302; JP19990060751 19990308; JP19990262717 19990916

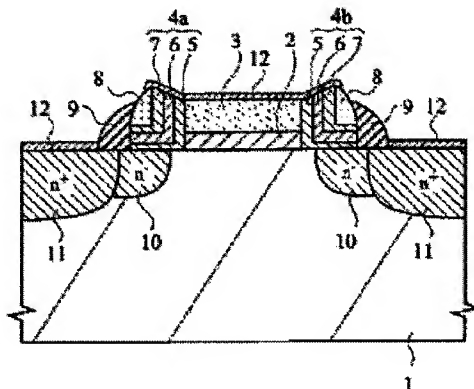
Also published as:

US6335554 (B1)

Report a data error here

## Abstract of JP2001156188

**PROBLEM TO BE SOLVED:** To provide a nonvolatile semiconductor storage device for storing information for plural bits, using a simple cell structure. **SOLUTION:** In this new structure of a nonvolatile semiconductor storage device for storing information for plural bits, the edge part of a gate electrode is provided with a charge-storing layer 4 for storing electrons. Thus, information on plural bits can be stored by storing the electrons in the charge storage layer 4.



Data supplied from the [esp@cenet](mailto:esp@cenet) database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-156188

(P2001-156188A)

(43) 公開日 平成13年6月8日(2001.6.8)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

テーマコード(参考)

H 0 1 L 21/8247  
29/788  
29/792  
21/8242  
27/108

H 0 1 L 27/10  
  
29/78  
27/10

4 8 1 5 F 0 0 1  
4 9 1 5 F 0 8 3  
3 7 1 5 F 1 0 1  
3 2 1  
4 3 4

審査請求 未請求 請求項の数21 O L (全 50 頁) 最終頁に続く

(21) 出願番号 特願2000-57642(P2000-57642)

(22) 出願日 平成12年3月2日(2000.3.2)

(31) 優先権主張番号 特願平11-60751

(32) 優先日 平成11年3月8日(1999.3.8)

(33) 優先権主張国 日本 (J P)

(31) 優先権主張番号 特願平11-262717

(32) 優先日 平成11年9月16日(1999.9.16)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 吉川 邦良

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(74) 代理人 100083806

弁理士 三好 秀和 (外7名)

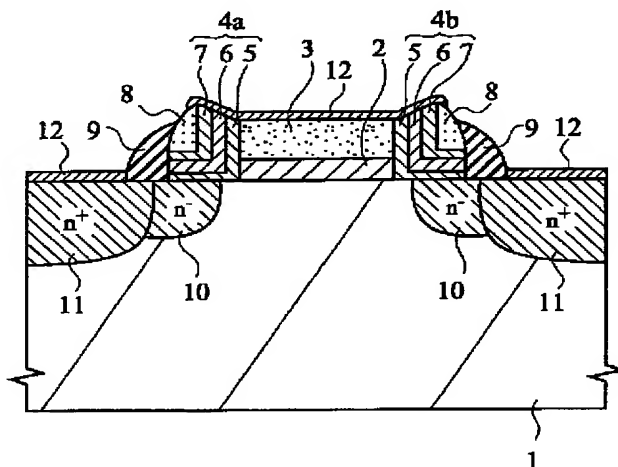
最終頁に続く

(54) 【発明の名称】 半導体記憶装置およびその製造方法

(57) 【要約】

【課題】 簡単なセル構造で複数ビット分の情報を記憶することができる不揮発性半導体記憶装置を提供する。

【解決手段】 複数ビット分の情報を記憶することができる不揮発性半導体記憶装置の新規な構造であり、ゲート電極の端部に電子を蓄積する電荷蓄積層4を有している。電荷蓄積層4に電子を蓄積することで、複数ビット分の情報を記憶する。



## 【特許請求の範囲】

【請求項 1】 半導体基板の主面上に、ゲート絶縁膜を介して、配置された第 1 のゲート電極と、  
該第 1 のゲート電極の側面上に配置された電荷蓄積層と、  
前記第 1 のゲート電極の側面上に、前記電荷蓄積層を介して、配置された第 2 のゲート電極と、  
前記第 1 のゲート電極と前記第 2 のゲート電極とを、電気的に接続する導電層とを有することを特徴とする不揮発性半導体記憶装置。

【請求項 2】 半導体基板の主面上に、ゲート絶縁膜を介して、第 1 のゲート電極を形成する工程と、  
前記第 1 のゲート電極の側面上に電荷蓄積層および第 2 のゲート電極を、順次形成する工程と、  
前記第 1 のゲート電極と前記第 2 のゲート電極とを、電気的に接続する導電層を形成する工程とを少なくとも含むことを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項 3】 半導体基板の主面上に配置された、第 1、第 2 および第 3 の絶縁膜から成る、ゲート絶縁膜と、  
前記第 2 の絶縁膜の端部に配置された電荷蓄積層と、  
前記ゲート絶縁膜上に配置されたゲート電極とを有することを特徴とする不揮発性半導体記憶装置。

【請求項 4】 半導体基板の主面上に、第 1、第 2 および第 3 の絶縁膜を順次形成し、該第 1、第 2 および第 3 の絶縁膜から成るゲート絶縁膜を形成する工程と、  
該ゲート絶縁膜の上部にゲート電極構成材料を堆積した後、該ゲート電極構成材料およびゲート絶縁膜をパターンニングすることで、ゲート電極を形成する工程と、  
前記第 2 の絶縁膜の端部を選択的に除去し、空間を形成する工程と、  
該空間に電荷蓄積層を形成する工程とを少なくとも含むことを特徴とする不揮発性半導体記憶装置の製造方法

【請求項 5】 半導体基板の主面上に配置された第 1 の下部絶縁膜、該第 1 の下部絶縁膜の中央の上部に配置された第 1 の中間絶縁膜、前記第 1 の下部絶縁膜の端部の上部に配置された第 1 の電荷蓄積層、前記第 1 の中間絶縁膜および第 1 の電荷蓄積層の上部に配置された第 1 の上部絶縁膜、および、該第 1 の上部絶縁膜の上部に配置された第 1 のゲート電極、とを有する不揮発性半導体記憶装置と、  
前記半導体基板の主面上に配置された、前記第 1 の中間絶縁膜と同一材料から成る第 2 の下部絶縁膜、前記半導体基板の主面上に、かつ該第 2 の下部絶縁膜の両端に配置された極薄絶縁膜、該極薄絶縁膜の上部に配置された、前記第 1 の電荷蓄積層と同一材料から成る第 2 の電荷蓄積層、前記第 2 の下部絶縁膜および第 2 の電荷蓄積層の上部に配置された、前記第 1 の上部絶縁膜と同一材料から成る第 2 の上部絶縁膜、および、該第 2 の上部絶

縁膜の上部に配置された第 2 のゲート電極、とを有する揮発性半導体記憶装置とを具備することを特徴とする半導体記憶装置。

【請求項 6】 半導体基板の主面上に配置された第 1 の下部絶縁膜、該第 1 の下部絶縁膜の中央の上部に配置された第 1 の中間絶縁膜、前記第 1 の下部絶縁膜の端部の上部に配置された第 1 の電荷蓄積層、前記第 1 の中間絶縁膜および第 1 の電荷蓄積層の上部に配置された第 1 の上部絶縁膜、該第 1 の上部絶縁膜の上部に配置された第 1 のゲート電極、とを有する不揮発性半導体記憶装置と、  
前記半導体基板の主面上に配置された極薄絶縁膜、該極薄絶縁膜上に配置された、前記第 1 の電荷蓄積層と同一材料から成る第 2 の電荷蓄積層、該第 2 の電荷蓄積層上に配置された第 2 の上部絶縁膜、該第 2 の上部絶縁膜上に配置された第 2 のゲート電極、とを有する揮発性半導体記憶装置とを具備することを特徴とする半導体記憶装置。

【請求項 7】 半導体基板の主面上に配置された下部絶縁膜と、  
前記半導体基板の主面上に、かつ該下部絶縁膜の両端に配置された極薄絶縁膜と、  
該極薄絶縁膜の上部に配置された電荷蓄積層と、  
前記下部絶縁膜および電荷蓄積層の上部に配置された上部絶縁膜と、  
該上部絶縁膜の上部に配置されたゲート電極とを有することを特徴とする揮発性半導体記憶装置。

【請求項 8】 半導体基板の主面上に配置された極薄絶縁膜と、  
該極薄絶縁膜上に配置された電荷蓄積層と、  
該電荷蓄積層上に配置された絶縁膜と、  
該絶縁膜上に配置されたゲート電極とを有することを特徴とする揮発性半導体記憶装置。

【請求項 9】 半導体基板の主面上の一部に、第 1 の絶縁膜を形成する工程と、  
該第 1 の絶縁膜の上部および前記半導体基板の主面の一部以外に、第 2 および第 3 の絶縁膜を順次形成する工程と、  
該第 3 の絶縁膜の上部にゲート電極構成材料を堆積する工程と、  
該ゲート電極構成材料、前記第 3 の絶縁膜、前記第 2 の絶縁膜および第 1 の絶縁膜をパターンニングすることで、第 1 のゲート電極を形成する工程と、  
前記ゲート電極構成材料、前記第 3 の絶縁膜および第 2 の絶縁膜をパターンニングすることで、第 2 のゲート電極を形成する工程と、  
該第 1 および第 2 のゲート電極の両方の第 2 の絶縁膜の端部を選択的に除去し、空間を形成する工程と、  
該空間に電荷蓄積層を形成する工程とを少なくとも含むことを特徴とする半導体記憶装置の製造方法。

【請求項 10】 半導体基板の主面上に、第 1、第 2 および第 3 の絶縁膜を順次形成する工程と、  
 該第 3 の絶縁膜の上部に第 1 のゲート電極構成材料を堆積した後、該ゲート電極構成材料、前記第 3 の絶縁膜、前記第 2 の絶縁膜および第 1 の絶縁膜をパターニングすることで、第 1 のゲート電極を形成する工程と、  
 該第 1 のゲート電極形成工程と同時に行われる工程であって、前記半導体基板の主面の一部に、前記ゲート電極構成材料、前記第 3 の絶縁膜、前記第 2 の絶縁膜および第 1 の絶縁膜を除去することで、第 2 のゲート電極形成領域を形成する工程と、  
 前記第 1 のゲート電極の第 2 の絶縁膜の端部を選択的に除去し、空間を形成する工程と、  
 前記半導体基板の主面上に、極薄絶縁膜を形成する工程と、  
 前記半導体基板の主面上に、電荷蓄積層を構成する材料を堆積した後、該電荷蓄積層構成材料を異方性エッチングすることで、前記第 1 のゲート電極の空間に電荷蓄積層を形成する工程と、  
 前記半導体基板の主面上に、第 4 の絶縁膜および第 2 のゲート電極構成材料を堆積した後、該第 2 のゲート電極構成材料、前記第 4 の絶縁膜、前記電荷蓄積層構成材料および極薄絶縁膜をパターニングすることで、第 2 のゲート電極を形成する工程とを少なくとも含むことを特徴とする半導体記憶装置の製造方法。

【請求項 11】 半導体基板の主面上に配置された凸部と、  
 該凸部を含む前記半導体基板の主面上に配置された、第 1、第 2 および第 3 の絶縁膜から成る、ゲート絶縁膜と、  
 前記第 2 の絶縁膜の端部に配置された電荷蓄積層と、  
 前記ゲート絶縁膜上に配置されたゲート電極とを有することを特徴とする不揮発性半導体記憶装置。

【請求項 12】 半導体基板の主面上に、凸部を形成する工程と、  
 該凸部を含む前記半導体基板の主面上に、第 1、第 2 および第 3 の絶縁膜を順次形成し、該第 1、第 2 および第 3 の絶縁膜から成るゲート絶縁膜を形成する工程と、  
 該ゲート絶縁膜の上部にゲート電極構成材料を堆積した後、該ゲート電極構成材料およびゲート絶縁膜をパターニングすることで、ゲート電極を形成する工程と、  
 前記第 2 の絶縁膜の端部を選択的に除去し、空間を形成する工程と、  
 該空間に電荷蓄積層を形成する工程とを少なくとも含むことを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項 13】 半導体基板の主面上に配置された凸部と、  
 該凸部を含む前記半導体基板の主面上に配置された、第 1 および第 2 の絶縁膜から成る、ゲート絶縁膜と、  
 該第 1 および第 2 の絶縁膜の間に配置された電荷蓄積層

と、  
 前記ゲート絶縁膜上に配置されたゲート電極とを有することを特徴とする不揮発性半導体記憶装置。

【請求項 14】 半導体基板の主面上に、凸部を形成する工程と、  
 該凸部を含む前記半導体基板の主面上に、第 1 の絶縁膜、電荷蓄積層構成材料、および第 3 の絶縁膜を順次形成する工程と、  
 該第 1 の絶縁膜、電荷蓄積層構成材料および第 3 の絶縁膜をパターニングすることで、ゲート電極を形成する工程とを少なくとも含むことを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項 15】 半導体基板の主面上に配置された凹部と、  
 該凹部を含む前記半導体基板の主面上に配置された、第 1、第 2 および第 3 の絶縁膜から成る、ゲート絶縁膜と、  
 前記第 2 の絶縁膜の端部に配置された電荷蓄積層と、  
 前記ゲート絶縁膜上に配置されたゲート電極とを有することを特徴とする不揮発性半導体記憶装置。

【請求項 16】 半導体基板の主面上に、凹部を形成する工程と、  
 該凹部を含む前記半導体基板の主面上に、第 1、第 2 および第 3 の絶縁膜を順次形成し、該第 1、第 2 および第 3 の絶縁膜から成るゲート絶縁膜を形成する工程と、  
 該ゲート絶縁膜の上部にゲート電極構成材料を堆積した後、該ゲート電極構成材料およびゲート絶縁膜をパターニングすることで、ゲート電極を形成する工程と、  
 前記第 2 の絶縁膜の端部を選択的に除去し、空間を形成する工程と、  
 該空間に電荷蓄積層を形成する工程とを少なくとも含むことを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項 17】 半導体基板の主面上に配置された凹部と、  
 該凹部を含む前記半導体基板の主面上に配置された、第 1 および第 2 の絶縁膜から成る、ゲート絶縁膜と、  
 該第 1 および第 2 の絶縁膜の間に配置された電荷蓄積層と、  
 前記ゲート絶縁膜上に配置されたゲート電極とを有することを特徴とする不揮発性半導体記憶装置。

【請求項 18】 半導体基板の主面上に、凹部を形成する工程と、  
 該凸部を含む前記半導体基板の主面上に、第 1 の絶縁膜、電荷蓄積層構成材料、および第 3 の絶縁膜を順次形成する工程と、  
 該第 1 の絶縁膜、電荷蓄積層構成材料および第 3 の絶縁膜をパターニングすることで、ゲート電極を形成する工程とを少なくとも含むことを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項 19】 半導体基板の主面上に、凹部を形成す

10

20

30

40

50

る工程と、  
該凹部を含む前記半導体基板の主面上に、第 1、第 2 および第 3 の絶縁膜を順次形成し、該第 1、第 2 および第 3 の絶縁膜から成るゲート絶縁膜を形成する工程と、  
該ゲート絶縁膜の上部にゲート電極構成材料を堆積した後、該ゲート電極構成材料を化学的機械的研磨方法で除去することで、前記凹部に埋め込まれたゲート電極を形成する工程と、  
前記第 2 の絶縁膜の端部を選択的に除去し、空間を形成する工程と、  
該空間に電荷蓄積層を形成する工程とを少なくとも含むことを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項 20】 半導体基板の主面上に、凹部を形成する工程と、

該凹部を含む前記半導体基板の主面上に、第 1 の絶縁膜、電荷蓄積層構成材料、および第 3 の絶縁膜を順次形成する工程と、

該第 3 の絶縁膜の上部にゲート電極構成材料を堆積した後、該ゲート電極構成材料を化学的機械的研磨方法で除去することで、前記凹部に埋め込まれたゲート電極を形成する工程とを少なくとも含むことを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項 21】 半導体基板の主面上に、ゲート絶縁膜を介して、配置されたゲート電極と、  
該ゲート電極の端部に配置された凹部と、  
該凹部に、絶縁膜を介して、かつ、チャネル領域およびソースドレイン領域の両方の上部に配置された電荷蓄積層とを有することを特徴とする不揮発性半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電氣的に書き込み消去可能な不揮発性半導体記憶装置およびその製造方法、高速に書き込み読み出し可能な揮発性半導体記憶装置およびその製造方法、ならびに不揮発性半導体記憶装置と揮発性半導体記憶装置を同一チップ上に混載した半導体記憶装置およびその製造方法に関する。

【0002】

【従来の技術】従来の EEPROM (Electrically Erasable and Programmable Read Only Memory) 等の不揮発性メモリでは、1 つのセルに異なる 2 つのしきい値を実現することで、1 つのセルに 1 ビット分の情報を記憶する。これに対してメモリ高密度化のため、1 つのセルに 4 つ以上のしきい値を持たせ、2 ビット分以上の情報を 1 つのセルに記憶する技術が提案されている (M. Bauer et al., ISSCC95, p.132)。しかし、この技術を実現するには、しきい値電圧の正確な制御、しきい値電圧の小さな変化分の正確な検知、さらに従来以上の電荷保持信頼性が要求される。したがって、この技術では、実際には必ずしも従来と同等の性能を得ることはできな

10

20

30

40

50

い。また、この技術は、製造歩留りが低いという問題もある。このため、電荷を物理的に異なる複数の位置に蓄積することで複数ビット分の情報を記憶するセル構造が新たに提案されている (B. Eitan et al, IEDM96, p169, Fig6)。また、それに類似のセル構造として本発明者によってゲート電極の側壁に電荷蓄積層を設ける構造が以前に提案されている (米国特許番号第 4881108 号)。しかし、それらセル構造の製造工程は非常に複雑なものであり、またチャネル領域の制御性も十分ではないという問題がある。

【0003】一方、昨今のシステム・オン・チップの要求から電氣的に書き込み消去可能な不揮発性メモリと高速に書き込み読み出し可能な揮発性メモリを同一のチップ上に実現する必要が高まっている。特に、EEPROM やフラッシュメモリ等の浮遊ゲート構造を有する不揮発性メモリと高速動作可能なダイナミック RAM を混載する VLSI の要求が急増している。ところが、近年のダイナミック RAM のメモリセルはトレンチ構造やスタック構造といった非常に複雑な 3 次元構造となってきた。このため、浮遊ゲート型不揮発性メモリとダイナミック RAM を混載しようとするれば、そのメモリセル構造の違いから、製造プロセスは複雑化し、マスク工程数も増大する。したがって、その混載チップの製造コストは非常に大きなものになってしまう。

【0004】浮遊ゲート型の不揮発メモリのメモリセル構造を用いてダイナミック RAM のメモリセルを実現すれば、セル構造の共通化によって、製造プロセスは単純化され、製造コストを低減することは可能である。しかし、その共通化されたメモリセルではダイナミック RAM の特徴である高速書き込みを実現することは困難である。

【0005】

【発明が解決しようとする課題】本発明は、上記事情に鑑みて成されたものであり、簡単なセル構造で複数ビット分の情報を記憶することができる不揮発性半導体記憶装置の構造を提供することを目的とする。

【0006】本発明の他の目的は、簡単な製造プロセスで複数ビット分の情報を記憶する不揮発性半導体記憶装置を製造する不揮発性半導体記憶装置の製造方法を提供することである。

【0007】本発明のさらに他の目的は、簡単なセル構造で電氣的に書き込み消去可能な不揮発性メモリと高速書き込み読み出し可能な揮発性メモリを混載した半導体記憶装置の構造を提供することである。

【0008】本発明のさらに他の目的は、簡単な製造プロセスで電氣的に書き込み消去可能な不揮発性メモリと高速書き込み読み出し可能な揮発性メモリを混載した半導体記憶装置の製造方法を提供することである。

【0009】

【課題を解決するための手段】上記目的を達成するため

に、本発明の第1の特徴は、半導体基板の主面上に、ゲート絶縁膜を介して、配置された第1のゲート電極と、第1のゲート電極の側面上に配置された電荷蓄積層と、第1のゲート電極の側面上に、電荷蓄積層を介して、配置された第2のゲート電極と、第1のゲート電極と第2のゲート電極とを、電氣的に接続する導電層と、を少なくとも具備する不揮発性半導体記憶装置であることである。

【0010】本発明の第2の特徴は、半導体基板の主面上に配置された、第1、第2および第3の絶縁膜から成る、ゲート絶縁膜と、第2の絶縁膜の端部に配置された電荷蓄積層と、ゲート絶縁膜上に配置されたゲート電極と、を少なくとも具備する不揮発性半導体記憶装置であることである。

【0011】本発明の第3の特徴は、不揮発性半導体記憶装置と揮発性半導体記憶装置とを混載する半導体記憶装置であって、不揮発性半導体記憶装置は、半導体基板の主面上に配置された第1の下部絶縁膜と、第1の下部絶縁膜の中央の上部に配置された第1の中間絶縁膜と、第1の下部絶縁膜の端部の上部に配置された第1の電荷蓄積層と、第1の中間絶縁膜および第1の電荷蓄積層の上部に配置された第1の上部絶縁膜と、第1の上部絶縁膜の上部に配置された第1のゲート電極と、を少なくとも具備し、揮発性半導体記憶装置は、半導体基板の主面上に配置された、第1の中間絶縁膜と同一材料から成る第2の下部絶縁膜と、半導体基板の主面上に、かつ第2の下部絶縁膜の両端に配置された極薄絶縁膜と、極薄絶縁膜の上部に配置された、第1の電荷蓄積層と同一材料から成る第2の電荷蓄積層と、第2の下部絶縁膜および第2の電荷蓄積層の上部に配置された、第1の上部絶縁膜と同一材料から成る第2の上部絶縁膜と、第2の上部絶縁膜の上部に配置された第2のゲート電極と、を少なくとも具備する。

【0012】本発明の第4の特徴は、不揮発性半導体記憶装置と揮発性半導体記憶装置とを混載する半導体記憶装置であって、不揮発性半導体記憶装置は、半導体基板の主面上に配置された第1の下部絶縁膜と、第1の下部絶縁膜の中央の上部に配置された第1の中間絶縁膜と、第1の下部絶縁膜の端部の上部に配置された第1の電荷蓄積層と、第1の中間絶縁膜および第1の電荷蓄積層の上部に配置された第1の上部絶縁膜と、第1の上部絶縁膜の上部に配置された第1のゲート電極と、を少なくとも具備し、揮発性半導体記憶装置は、半導体基板の主面上に配置された極薄絶縁膜と、極薄絶縁膜上に配置された、第1の電荷蓄積層と同一材料から成る第2の電荷蓄積層と、第2の電荷蓄積層上に配置された第2の上部絶縁膜と、第2の上部絶縁膜上に配置された第2のゲート電極と、を少なくとも具備する。

【0013】本発明の第5の特徴は、半導体基板の主面上に配置された凸部または凹部と、凸部または凹部を含

む半導体基板の主面上に配置された、第1、第2および第3の絶縁膜から成る、ゲート絶縁膜と、第2の絶縁膜の端部に配置された電荷蓄積層と、ゲート絶縁膜上に配置されたゲート電極と、を少なくとも具備する不揮発性半導体記憶装置であることである。

【0014】本発明の第6の特徴は、半導体基板の主面上に配置された凸部または凹部と、凸部または凹部を含む半導体基板の主面上に配置された、第1および第2の絶縁膜から成る、ゲート絶縁膜と、第1および第2の絶縁膜の間に配置された電荷蓄積層と、ゲート絶縁膜上に配置されたゲート電極と、を少なくとも具備する不揮発性半導体記憶装置であることである。

【0015】本発明の第7の特徴は、半導体基板の主面上に、ゲート絶縁膜を介して、配置されたゲート電極と、ゲート電極の端部に配置された凹部と、凹部に、絶縁膜を介して、配置された電荷蓄積層を、を少なくとも具備し、電荷蓄積層は、チャネル領域およびソースドレイン領域の両方の上部に配置される不揮発性半導体記憶装置であることである。

【0016】

【発明の実施の形態】以下図面を参照して、本発明の実施の形態を説明する。以下の図面の記載において、同一または類似の部分には同一または類似の符号を付している。ただし、図面は模式的なものであり、厚みと平面寸法との関係、各層の厚みの比率等は現実のものとは異なることに留意すべきである。したがって、具体的な厚みや寸法は以下の説明を参酌して判断すべきものである。また図面相互間においても互いの寸法の関係や比率が異なる部分が含まれていることはもちろんである。

【0017】（第1の実施の形態）図1は、本発明の第1の実施の形態に係る不揮発性半導体メモリのメモリセル構造を示す断面図である。このメモリセルは、n型MOSトランジスタで構成される。本発明の第1の実施の形態に係る不揮発性半導体メモリのメモリセル構造では、p型半導体基板1の表面にゲート絶縁膜2を介して第1ゲート電極3が設けられ、第1ゲート電極3の両側面には電荷蓄積層4（4a、4b）が設けられる。この電荷蓄積層4は積層構造を有しており、第1層が第1酸化膜5、第2層が窒化膜6、第3層が第2酸化膜7で構成される。さらに、電荷蓄積層4の上部には第2ゲート電極8が設けられる。電荷蓄積層4の側面にはサイドウォールスペーサ9が設けられ、このサイドウォールスペーサ9の下部のp型半導体基板1には、チャネル領域に接する低不純物濃度の $n^-$ 型拡散層10と、この $n^-$ 型拡散層10の外側に位置する高不純物濃度の $n^+$ 型拡散層11が設けられる。第1ゲート電極3、電荷蓄積層4、第2ゲート電極8および $n^+$ 型拡散層11それぞれの表面には導電層12が設けられる。第1ゲート電極3と第2ゲート電極8はこの導電層12を介して電氣的に接続される。



【0018】本発明の第1の実施の形態に係る不揮発性半導体メモリのメモリセルは、ソース領域およびドレイン領域を低不純物濃度の $n^-$ 型拡散層10と高不純物濃度の $n^+$ 型拡散層11で構成したLDD (Lightly doped drain) 構造を有している。そして、第1ゲート電極3の両側面には電荷蓄積層4が形成され、この2つの電荷蓄積層4の窒化膜6に保持された電子の有無によって生じるしきい値電圧の変化分を記憶情報の“00”、

“01”、“10”、“11”に対応させる。さらに、電荷蓄積層4の上部に第2ゲート電極8を形成し、この第2のゲート電極8を第1ゲート電極3に電氣的接続することで、チャネル領域の制御性を高め、しきい値電圧変化分の検知を容易にする。

【0019】次に、本発明の第1の実施の形態に係る不揮発性メモリの動作について図2乃至図4を用いて説明する。図2は、書き込み動作を説明する不揮発性メモリの断面図である。図3は、読み出し動作を説明する不揮発性メモリの断面図である。図4は、消去動作を説明する不揮発性メモリの断面図である。図2に示すように、メモリセルの書き込み時には、ゲートGに高電圧(～10V)を印加し、同時に電子を蓄積する電荷蓄積層4bに近接するドレインDに高電圧(～8V)を加え、近接しないソースSを接地する。このように電圧を印加すると、チャネル熱電子(Channel Hot Electron)が発生し、この熱電子が電荷蓄積層4bの窒化膜6に捕獲される。電荷蓄積層4bに電子が捕獲されると、セルトランジスタのしきい値電圧が変化する。メモリセルの読み出しは、しきい値電圧の変化分を検知することで行われる。具体的には、図3に示すように、ゲートGに電圧5Vを加え、同時にドレインDに電圧3Vを印加し、電流量の差をセンスアンプによって検知する。また、メモリセルの消去は、図4に示すように、ゲートGに負電圧(～-6V)を印加し、消去される電荷蓄積層4bに近接するドレインDに正電圧(～9V)を印加し、電荷蓄積層4bに捕獲された電子を放出することで行われる。なお、周知の通り、MOSトランジスタのソースSとドレインDとは対称に出来ており、一般にソースSとドレインDとは入れ換えることが可能である。したがって、上記の説明においても、ソースSとドレインDを入れ換えることが可能である。

【0020】次に、本発明の第1の実施の形態に係る不揮発性半導体メモリのメモリセルの製造方法を図5乃至図9を用いて説明する。まず図5に示すように、p型半導体基板1上に熱酸化によって25nmのゲート絶縁膜2を形成する。続いて、p型半導体基板1全面にLPCVD (Low Pressure Chemical Vapor Deposition) 法によりn型またはp型不純物をドーブした300nmの多結晶シリコン膜を堆積した後、周知の露光技術およびエッチング技術によりパターンニングし、第1ゲート電極3を形成する。

【0021】次に、図6に示すように、ソース領域およびドレイン領域を形成する領域のp型半導体基板1の表面のゲート絶縁膜2を除去した後、p型半導体基板1を900℃～1200℃の酸化雰囲気中で熱酸化し、10nmの第1酸化膜5を形成する。そして、第1酸化膜5上にLPCVD法により10nm～100nmの窒化膜6を堆積し、その後900℃の水素燃焼酸化あるいはCVD法により窒化膜6表面に5nm程度の第2酸化膜7を形成する。

【0022】次に、図7に示すように、第2酸化膜7上にたとえばLPCVD法により25～250nm程度の多結晶シリコンを堆積した後、RIE (Reactive Ion Etching) 法による異方性エッチングを行い、この多結晶シリコン膜、第1酸化膜5、窒化膜6および第2酸化膜7をそれらの膜厚分だけ除去することで、上部に第2ゲート電極8を有する電荷蓄積層4を第1ゲート電極側面に形成する。

【0023】次に、図8に示すように、低不純物濃度の $n^-$ 型拡散層10を形成する。 $n^-$ 型拡散層10はイオン注入技術により第1ゲート電極3および電荷蓄積層4をマスクとしてn型不純物を注入し、その後の熱処理によって注入した不純物を活性化することで形成される。

【0024】次に、図9に示すように、電荷蓄積層4の側壁にサイドウォールスペーサ9を形成した後、高不純物濃度の $n^+$ 型拡散層11を形成する。 $n^+$ 型拡散層11はイオン注入技術により第1ゲート電極3、電荷蓄積層4およびサイドウォールスペーサ9をマスクとしてn型不純物を注入し、その後の熱処理によって注入した不純物を活性化することで形成される。

【0025】次に、p型半導体基板1の全面にCVD法またはスパッタ法によってタングステン、チタン、コバルトなどの高融点金属膜を堆積し、続いて、p型半導体基板1を不活性雰囲気中で熱処理することにより第1ゲート電極3、電荷蓄積層4、第2ゲート電極8および $n^+$ 型拡散層11それぞれの表面に高融点金属シリサイドで構成される導電層12を形成する。この時、第1ゲート電極3および第2ゲート電極8上の高融点金属シリサイド層がブリッジングするように、第1酸化膜5、窒化膜6、第2酸化膜7、特に、窒化膜6の膜厚が設定されている必要がある。導電層12形成後、上記以外の領域に残った未反応の高融点金属を除去すれば、図1に示したメモリセル構造が完成する。

【0026】なお、図示はしないが、図1のメモリセル構造完成後、層間絶縁膜形成工程、コンタクトホール形成工程、配線形成工程、パッシベーション膜形成工程等の通常のCMOS製造工程を順次経て、最終的な不揮発性メモリセルが完成する。

【0027】本発明の第1の実施の形態によれば、電荷蓄積層4の上部にも第2ゲート電極8を設けたので、しきい値電圧の制御性が向上する。なお、本発明の第1の

実施の形態では、メモリセルをn型MOSトランジスタで構成する場合について説明したが、p型MOSトランジスタで構成する場合であっても同様の効果が得られる。また、メモリセルはLDD構造を有しているが、シングルドレイン構造、ダブルドレイン構造であっても構わない。

【0028】(第2の実施の形態)次に、本発明の第2の実施の形態を説明する。図10は、本発明の第2の実施の形態に係る不揮発性半導体メモリのメモリセル構造を示す断面図である。このメモリセルはn型MOSトランジスタで構成される。本発明の第2の実施の形態に係る不揮発性メモリのメモリセル構造では、p型半導体基板1の表面に第1ゲート絶縁膜13を介して第2ゲート絶縁膜14が設けられる。そして、第2ゲート絶縁膜14の両端には電荷蓄積層4a、4bが形成される。第2ゲート絶縁膜14および電荷蓄積層4a、4b上には第3ゲート絶縁膜15を介してゲート電極3が設けられる。ゲート電極3の側面には酸化膜16を介してサイドウォールスペーサ9が設けられ、このサイドウォールスペーサ9の下部のp型半導体基板1には、チャネル領域に接する低不純物濃度の $n^-$ 型拡散層10と、この $n^-$ 型拡散層10の外側に位置する高不純物濃度の $n^+$ 型拡散層11が設けられる。ゲート電極3および $n^+$ 型拡散層11それぞれの表面には導電層12が設けられる。

【0029】本発明の第2の実施の形態に係る不揮発性半導体メモリのメモリセルは、ソース領域およびドレイン領域を低不純物濃度の $n^-$ 型拡散層10と高不純物濃度の $n^+$ 型拡散層11で構成したLDD構造を有している。そして、ゲート絶縁膜が第1ゲート絶縁膜13(下層)、第2ゲート絶縁膜14(中間層)および第3ゲート絶縁膜15(上層)からなる3層積層膜で構成され、第2ゲート絶縁膜14の両端部には電荷蓄積層4aおよび4bが形成される。この2つの電荷蓄積層4aおよび4bに電子を蓄積し、その蓄積状態は(1)電荷蓄積層4a、4bのいずれも電子を蓄積していない状態、(2)電荷蓄積層4aのみが電子を蓄積している状態、(3)電荷蓄積層4bのみが電子を蓄積している状態、(4)電荷蓄積層4a、4b共に電子を蓄積している状態、の4つの状態をとり得る。この2つの電荷蓄積層4aおよび4bに保持された電子の有無によって生じるしきい値電圧の変化分を記憶情報の“00”、“01”、“10”、“11”に対応させる。また、このメモリセル構造では電荷蓄積層4a、4bはチャネル領域端部の上方に位置するので、チャネル領域中央部のしきい値電圧はチャネル領域の不純物濃度のみで決まり、電荷蓄積層4a、4bの電子の蓄積状態に依存しない。したがって、電荷蓄積層4a、4bの電子の過不足による過消去(over-erase)は防止され、それにより過消去に起因するリーク不良、プログラム不良、読み出し不良等は生じ得ない。また、ソース領域とドレイン領域間のリーク電

流はゲート電圧のみで抑制でき、高信頼性の不揮発性半導体メモリを実現できる。電荷蓄積層4aおよび4bはCVD法による電荷蓄積能力の高いシリコン窒化膜で構成すればよい。シリコン窒化膜の離散的な電荷捕獲準位に電子を蓄積することで、下部絶縁膜の膜質に影響を受け難い電荷保持特性を得ることができるからである。また、シリコン膜、多結晶シリコン膜で構成すれば安価に製造できる。さらに、第1ゲート絶縁膜13、第3ゲート絶縁膜15をシリコン酸化膜( $SiO_2$ 膜)の2倍程度の誘電率を有するシリコン窒化膜( $Si_3N_4$ 膜)で構成すれば、シリコン酸化膜換算膜厚が4nm~11nm程度の非常に薄いゲート絶縁膜を安定して実現できる。たとえばシリコン酸化膜換算膜厚が5nmのシリコン窒化膜の実質膜厚は10nm程度なので、直接トンネル(DT)注入も誘起されない。したがって、電子の注入抽出動作時の電圧は低電圧化され、メモリセルの微細化のみならず周辺高電圧動作素子の微細化も可能となる。

【0030】本発明の第2の実施の形態に係る不揮発性半導体メモリのメモリセルでは、ソース領域およびドレイン領域の耐圧向上の目的で $n^-$ 型拡散層10を設け、LDD構造を構成しているが、シングルドレイン構造、ダブルドレイン構造でソース領域およびドレイン領域を構成してもよい。第2ゲート絶縁膜14は電荷蓄積層4a~4b間のリークを防止するが、たとえばシリコン酸化膜で構成することができる。また、第2ゲート絶縁膜14に高誘電率を有する金属酸化膜を用いれば、チャネル領域中央の電流伝達特性を向上できる。金属酸化膜としてはたとえば $TiO_2$ 、 $Ta_2O_5$ 、 $Al_2O_5$ 、PZT、SBTがある。

【0031】次に、本発明の第2の実施の形態に係る不揮発性メモリの動作について図11および図12を用いて説明する。図11は、書き込み動作を説明する不揮発性メモリの断面図である。図12は、消去動作を説明する不揮発性メモリの断面図である。図11に示すように、メモリセルの書き込み時には、ゲートGに7~8V程度、ドレインDに5V程度をそれぞれ印加し、ソースSを接地する。このように電圧を印加し、チャネル熱電子(CHE)で電子をドレイン領域側の電荷蓄積層4bに注入する。ソース領域側の電荷蓄積層4aに電子を注入する場合には、ドレインD、ソースSそれぞれに印加する電圧を上記の場合と入れ換えれば良い。一方、メモリセルの消去は、図12に示すように、ゲートGに負電圧(~-5V)を印加し、ファウラー・ノルドハイム

(FN)型トンネル電流を利用して電荷蓄積層4a、4bから電子を引き抜くことで行われる。また、ゲート電極3が複数のメモリセルで共有されている場合には、それらのメモリセルから同時に電子を引き抜くことができる。この場合、ソースS、ドレインDはp型半導体基板1と同電位とすればよい。また、p型半導体基板1の電



位とは異なる正電圧をドレインDに印加し、ソースSを浮遊電位 (Floating) とすれば、ドレインD側の電荷蓄積層4 aのみから電子を引き抜くことも可能である。ソースS側の電荷蓄積層4 bのみから電子を引き抜く場合にはソースSに正電圧を印加し、ドレインDを浮遊電位とすればよい。

【0032】メモリセルの書き込みは、メモリセルの消去と同様、FN電流を利用して行うこともできる。ゲートGとp型半導体基板1間に10V程度を印加し、FN電流で電子を電荷蓄積層4 a、4 bに注入する。この場合、ゲートGが共通する複数のメモリセルには同時に電子を注入できる。

【0033】また図示はしないが、メモリセルの読み出しは、ソースSとドレインDの間を流れる読み出し電流を検知することで行われる。電荷蓄積層4 a、4 bの蓄積状態によってソース領域、ドレイン領域近傍の電流伝達特性 (チャネルコンダクタンス) が変調することを利用するものである。ソースS、ドレインDのどちらにバイアスするかは電流伝達特性の変調が顕著に現れる方を選択すればよい。電荷蓄積層4 aおよび4 bの4つの蓄積状態によって4つの異なる電流伝達特性が得られ、それにより1つのセルで2ビット分の情報を記憶できる。

【0034】次に、本発明の第2の実施の形態に係る不揮発性半導体メモリのメモリセルの製造方法を図13乃至図19を用いて説明する。まず図13に示すように、p型半導体基板1全面に電荷蓄積能力の小さいシリコン窒化膜を堆積し、10nm程度の第1ゲート絶縁膜13を形成する。電荷蓄積能力の小さいシリコン窒化膜の堆積はたとえばJVD (Jet-Vapor-Deposition) 法で行う。JVD法についてはたとえば参考文献「T. P. Ma, IEEE Transactions on Electron Devices, Volume 45 Number 3, March 1998 p680」に記載される。第1ゲート絶縁膜13形成後、CVD法によりシリコン酸化膜を堆積し、5~10nm程度の第2ゲート絶縁膜14を形成する。続いてJVD法により電荷蓄積能力の小さいシリコン窒化膜を堆積し、10nm程度の第3ゲート絶縁膜15を形成する。

【0035】次に、図14に示すように、p型半導体基板1全面にLPCVD法によりn型またはp型不純物をドーピングした50~250nm程度の多結晶シリコン膜を堆積した後、露光技術およびエッチング技術によりパターンニングし、ゲート電極3を形成する。続いて、ゲート電極3をマスクとしてソース領域およびドレイン領域を形成する領域のp型半導体基板1の表面の第1ゲート絶縁膜13、第2ゲート絶縁膜14および第3ゲート絶縁膜15を自己整合的にドライエッチングする。

【0036】次に、図15に示すように、電荷蓄積層形成のための空間17を形成する。この空間17は、第1ゲート酸化膜13および第3ゲート絶縁膜15よりも第2ゲート絶縁膜14のエッチング速度が大きいエッチン

グ液を用いて第2ゲート絶縁膜14の端部を選択的にウェットエッチングすることで形成する。本発明の第2の実施の形態では、第1ゲート酸化膜13および第3ゲート絶縁膜15をシリコン窒化膜で構成し、第2ゲート絶縁膜14をシリコン酸化膜で構成しているため、エッチング液としてはたとえばフッ酸系を用いればよい。また、電荷蓄積層形成のための空間17は、エッチング液を用いたウェットエッチング法に替えてHFガスを含むガスをを用いたプラズマドライエッチング法で形成してもよい。

【0037】次に、図16に示すように、p型半導体基板1全面にLPCVD法により電荷蓄積能力の高いシリコン窒化膜18を電荷蓄積層形成のための空間17が完全に埋め込まれるように堆積する。そして、図17に示すように、p型半導体基板1全面に対してRIEによる異方性エッチングを行い、電荷蓄積能力の高いシリコン窒化膜で構成された電荷蓄積層4 aおよび4 bを形成する。

【0038】次に、図18に示すように、p型半導体基板1全面に酸化膜16を形成した後、低不純物濃度のn<sup>-</sup>型拡散層10を形成する。n<sup>-</sup>型拡散層10はイオン注入技術によりゲート電極3をマスクとしてn型不純物を注入し、その後の熱処理によって注入した不純物を活性化することで形成する。

【0039】次に、図19に示すように、ゲート電極3の側壁にサイドウォールスペーサ9を形成した後、高不純物濃度のn<sup>+</sup>型拡散層11を形成する。n<sup>+</sup>型拡散層11はイオン注入技術によりゲート電極3およびサイドウォールスペーサ9をマスクとしてn型不純物を注入し、その後の熱処理によって注入した不純物を活性化することで形成する。

【0040】次に、p型半導体基板1の全面にCVD法またはスパッタ法によってタングステン、チタン、コバルトなどの高融点金属膜を堆積し、続いて、p型半導体基板1を不活性雰囲気中で熱処理することによりゲート電極3およびn<sup>+</sup>型拡散層11それぞれの表面に高融点金属シリサイドで構成される導電層12を形成する。導電層12形成後、上記以外の領域に残った未反応の高融点金属を除去すれば、図10に示したメモリセル構造が完成する。

【0041】なお、図示はしないが、図10のメモリセル構造完成後、層間絶縁膜形成工程、コンタクトホール形成工程、配線形成工程、パッシベーション膜形成工程等の通常のCMOS製造工程を順次経て、最終的な不揮発性メモリセルが完成する。

【0042】このように、本発明の第2実施の形態では、電荷蓄積層4 aおよび4 bをゲート電極3の両端の下方に自己整合的に形成することができる。したがって、セルトランジスタのゲート長方向の微細化が可能となる。それにより、大容量、高密度の不揮発性半導体メ

10

20

30

40

50

モリを提供できる。また、ビット当りのセル面積は従来と比べてほぼ半減され、大幅に縮小された不揮発性半導体メモリを実現できる。

【0043】また、電荷蓄積層4aおよび4bのチャネル長方向の幅は第1ゲート絶縁膜13および第3ゲート絶縁膜15と第2ゲート絶縁膜14のエッチング速度差およびエッチング時間の調節によって容易に制御できる。それにより、電荷蓄積層4aおよび4bを対称に配置できる。そして、電荷蓄積層4aと4bは第2ゲート絶縁膜14によって電氣的に完全に分離されるので、電荷蓄積層14aと14b間の相互作用は起こらない。さらに、電荷蓄積層4aおよび4bは、ソース領域、ドレイン領域、ゲート電極3およびチャネル領域から、第1の絶縁膜13、第3の絶縁膜15および酸化膜16によって完全に絶縁されるので、電荷保持特性の優れた不揮発性半導体メモリを提供できる。電荷蓄積層4aおよび4bはゲート電極3の端部からチャネル領域方向に延在して形成され、電荷蓄積層4aおよび4bのうちのチャネル領域側の部分の電荷蓄積状態によってメモリセルの電流伝達特性ほぼ決まる。したがって、この部分のゲート長方向の長さを限界まで縮小すれば、より微細な不揮発性半導体メモリを提供できる。

【0044】さらに、セル構造は通常のCMOS工程で容易に実現可能であるので、既存の製造ラインを使用し低コストで不揮発性半導体メモリを製造できる。

【0045】(第3の実施の形態)次に、本発明の第3の実施の形態を説明する。本発明の第3の実施の形態は、図10に示した第2の実施の形態において、第1ゲート絶縁膜13をシリコン酸化膜、第2ゲート絶縁膜14をシリコン窒化膜、第3ゲート絶縁膜15をシリコン酸化膜に置き換えたものである。以下、本発明の第3の実施の形態に係る不揮発性半導体メモリのメモリセルの製造方法を、図13乃至図15を参照して説明する。

【0046】本発明の第3の実施の形態に係る不揮発性半導体メモリのメモリセルは、まず、p型半導体基板1を熱酸化し、10nm程度のシリコン酸化膜で構成される第1ゲート絶縁膜13を形成する。第1ゲート絶縁膜13形成後、JVD法による電荷蓄積能力の低いシリコン窒化膜を堆積し、5~10nm程度の第2ゲート絶縁膜14を形成する。続いて、CVD法によりシリコン酸化膜を堆積し、10nm程度の第3ゲート絶縁膜15を形成する(図13参照)。

【0047】次に、p型半導体基板1全面にLPCVD法によりn型またはp型不純物をドーブした50~250nm程度の多結晶シリコン膜を堆積した後、露光技術およびエッチング技術によりパターンニングし、ゲート電極3を形成する。続けて、ゲート電極3をマスクとしてソース領域およびドレイン領域を形成する領域のp型半導体基板1の表面の第1ゲート絶縁膜13、第2ゲート絶縁膜14および第3ゲート絶縁膜15を自己整合的に

ドライエッチングする(図14参照)。

【0048】次に、p型半導体基板1を熱酸化し、p型半導体基板1全面に薄いシリコン酸化膜を形成する。その後、電荷蓄積層形成のための空間17を形成する。この電荷蓄積層形成のための空間17は、第1ゲート酸化膜13および第3ゲート絶縁膜15よりも第2ゲート絶縁膜14のエッチング速度が大きいエッチング液を用いて第2ゲート絶縁膜14の端部を選択的にウェットエッチングすることで形成する。本発明の第3の実施の形態では、第1ゲート酸化膜13および第3ゲート絶縁膜15をシリコン酸化膜で構成し、第2ゲート絶縁膜14をシリコン窒化膜で構成しているため、エッチング液としてはたとえばリン酸系を用いればよい。なお、シリコン窒化膜14は熱酸化処理によってほとんど酸化されないため、第2ゲート絶縁膜の側面には酸化膜は形成されず、このためエッチングの選択性は向上する(図15参照)。また、電荷蓄積層形成のための空間17は、エッチング液を用いたウェットエッチング法に替えてCF<sub>4</sub>ガスを含むガスをを用いたプラズマドライエッチング法で形成してもよい。その後の工程は第2の実施の形態と同一である。

【0049】(第4の実施の形態)次に、本発明の第4の実施の形態を説明する。図20は、本発明の第4の実施の形態に係る不揮発性半導体メモリのメモリセル構造を示す断面図である。本発明の第4の実施の形態は、メモリセルをp型MOSトランジスタで構成した例である。図20に示すように、本発明の第4の実施の形態に係る不揮発性メモリのメモリセル構造では、n型半導体基板19の表面に第1ゲート絶縁膜13を介して第2ゲート絶縁膜14が設けられる。そして、第2ゲート絶縁膜14の両端には電荷蓄積層4a、4bが形成される。第2ゲート絶縁膜14および電荷蓄積層4a、4b上には第3ゲート絶縁膜15を介してゲート電極3が設けられる。ゲート電極3の側面には酸化膜16を介してサイドウォールスペーサ9が設けられ、このサイドウォールスペーサ9の下部のn型半導体基板19には、チャネル領域に接する低不純物濃度のp<sup>-</sup>型拡散層20と、このp<sup>-</sup>型拡散層20の外側に位置する高不純物濃度のp<sup>+</sup>型拡散層21が設けられる。ゲート電極3およびp<sup>+</sup>型拡散層21それぞれの表面には導電層12が設けられる。

【0050】次に、本発明の第4の実施の形態に係る不揮発性メモリの動作について図21および図22を用いて説明する。図21は、書き込み動作を説明する不揮発性メモリの断面図である。図22は、消去動作を説明する不揮発性メモリの断面図である。図21に示すように、メモリセルの書き込み時には、ゲートGに5V程度、ドレインDに-5V程度をそれぞれ印加し、ソースSを浮遊電位とする。このように電圧を印加し、バンドーバンド間トンネル現象起因の電子にドレイン領域近傍

の電界でエネルギーを与え、ドレイン領域側の電荷蓄積層4bに電子を注入する。ソース領域側の電荷蓄積層4aに電子を注入する場合には、ドレインD、ソースSそれぞれに印加する電圧を上記と入れ替えればよい。一方、メモリセルの消去は、図22に示すように、ゲートGに負電圧(〜-5V)を印加し、FN電流を利用して電荷蓄積層4a、4bから電子を引き抜くことで行われる。また、ゲートGが複数のメモリセルで共有されている場合には、それらのメモリセルから同時に電子を引き抜くことができる。この場合、ソースSおよびドレインDはn型半導体基板19と同電位あるいは浮遊電位とする。

【0051】メモリセルの書き込みは、本発明の第2の実施の形態の場合のようにチャネル熱電子を利用して行うことが可能である。この場合、ゲートGに-2.5V程度、ドレインDに-5V程度をそれぞれ印加し、ソースSを接地する。このように電圧を印加し、チャネル熱電子で電子をドレイン領域側の電荷蓄積層4bに注入する。一方、ソース領域側の電荷蓄積層4aに電子を注入する場合にはドレインD、ソースSそれぞれに印加する電圧を入れ替えればよい。

【0052】また図示はしないが、メモリセルの読み出しは、ソースSとドレインDの間を流れる読み出し電流を検知することで行われる。電荷蓄積層4a、4bの蓄積状態によってソース領域、ドレイン領域近傍の電流伝達特性(チャネルコンダクタンス)が変調することを利用するものである。ソースS、ドレインDのどちらにバイアスするかは電流伝達特性の変調が顕著に現れる方を選択すればよい。電荷蓄積層4aおよび4bの4つの蓄積状態によって4つの異なる電流伝達特性が得られ、それにより1つのセルで2ビット分の情報を記憶できる。

【0053】(第5の実施の形態)次に、本発明の第5の実施の形態を説明する。一般に、半導体メモリでは、メモリセルアレイの周辺に周辺回路を配置する。たとえばその周辺回路としてデコーダー、書き込み/消去回路、読み出し回路、アナログ回路、各種のI/O回路、各種のキャパシタ回路等がある。本発明の第5の実施の形態では、これら周辺回路を構成するMOSトランジスタを第2〜第4の実施の形態のメモリセルトランジスタの製造工程を用いて同時に製造する例を示すものである。図23は、本発明の第5の実施の形態に係る不揮発性半導体メモリの周辺回路を構成するMOSトランジスタの構造を示す断面図である。図23に示すように、本発明の第5の実施の形態によれば、メモリセルトランジスタ(メモリセルTr)以外にゲート絶縁膜の異なる7種類のMOSトランジスタ(Tr1〜Tr7)を実現できる。なお、図23のメモリセルトランジスタは図10に示したメモリセルトランジスタである。また、MOSトランジスタTr1〜Tr7はすべてn型MOSトランジスタを示している。メモリセルトランジスタのn<sup>-</sup>型

拡散層10およびn<sup>+</sup>型拡散層11、導電層12は図面を見易くするために省略してある。MOSトランジスタTr1〜Tr7についても同様である。

【0054】次に、図23に示したMOSトランジスタの製造方法を図24乃至図30を用いて説明する。まず図24に示すように、p型半導体基板1全面にJVD法により電荷蓄積能力の小さいシリコン窒化膜を堆積し、10nm程度の第1ゲート絶縁膜13を形成する。第1ゲート絶縁膜13形成後、周知の露光技術およびドライエッチング技術によりp型半導体基板1上の一部の領域の第1ゲート絶縁膜13を除去する。そして図25に示すように、CVD法によりシリコン酸化膜を堆積し、5〜10nm程度の第2ゲート絶縁膜14を形成する。第2ゲート絶縁膜14形成後、露光技術およびドライエッチング技術により一部の領域の第2ゲート絶縁膜14を除去する。続いて図26に示すように、JVD法により電荷蓄積能力の小さいシリコン窒化膜を堆積し、10nm程度の第3ゲート絶縁膜15を形成する。第3ゲート絶縁膜15形成後、露光技術およびドライエッチング技術により一部の領域の第3ゲート絶縁膜15を除去する。このようにして第1ゲート絶縁膜13、第2ゲート絶縁膜14および第3ゲート絶縁膜15のうちの少なくとも1つから構成される7種類のゲート絶縁膜が実現される。

【0055】次に、図27に示すように、p型半導体基板1全面にLPCVD法によりn型またはp型不純物をドーピングした50〜250nm程度の多結晶シリコン膜を堆積した後、露光技術およびエッチング技術によりパターンニングし、複数のゲート電極3を形成する。さらに、ゲート電極3をマスクとしてドライエッチングによりメモリセルトランジスタ、MOSトランジスタそれぞれのソース領域およびドレイン領域を形成する領域のp型半導体基板1の表面の第1ゲート絶縁膜13、第2ゲート絶縁膜14および第3ゲート絶縁膜15を除去する。

【0056】次に、図28に示すように、MOSトランジスタTr1〜Tr7を形成する領域をフォトリソで覆い、メモリセルトランジスタを形成する領域をウェットエッチングする。エッチング液は第1ゲート酸化膜13および第3ゲート絶縁膜15よりも第2ゲート絶縁膜14のエッチング速度が大きいものを利用する。このウェットエッチングによりメモリセルトランジスタを形成する領域の第2ゲート絶縁膜14の端部を選択的にエッチングし、電荷蓄積層形成のための空間17を形成する。本発明の第5の実施の形態では、第1ゲート酸化膜13および第3ゲート絶縁膜15をシリコン窒化膜で構成し、第2ゲート絶縁膜14をシリコン酸化膜で構成しているので、エッチング液としてはたとえばフッ酸系を用いればよい。そして、図29に示すように、p型半導体基板1全面にLPCVD法により電荷蓄積能力の高いシリコン窒化膜18を電荷蓄積層形成のための空間

17が完全に埋め込まれるように堆積する。続いて図30に示すように、p型半導体基板1全面に対してRIEによる異方性エッチングを行い、メモリセルトランジスタを形成する領域に電荷蓄積能力の高いシリコン窒化膜で構成された電荷蓄積層4aおよび4bを形成する。その後の工程は本発明の第2の実施の形態と同じである。

【0057】本発明の第5の実施の形態によれば、膜厚が異なるゲート絶縁膜を有する7種類のMOSトランジスタTr1~Tr7をメモリセルトランジスタと同時に製造できる。それにより、高電圧動作の高耐圧トランジスタから極低電圧動作トランジスタまで多様な動作電圧に対応したMOSトランジスタを提供できる。さらに、n型MOSトランジスタ、p型MOSトランジスタ共に実現できる。また、メモリセルトランジスタおよびMOSトランジスタTr1~Tr7のゲート電極3は同一材料から構成され、同一の露光工程およびドライエッチング工程で形成される。したがって、フォトリソの位置合わせずれの少ない微細なトランジスタを提供できる。

【0058】(第6の実施の形態)次に、本発明の第6の実施の形態について説明する。この第6の実施の形態は、電気的に書き込み消去可能な不揮発性メモリと高速に書き込み読み出し可能な揮発性メモリを同一のチップ上に実現する例を示すものである。図31は、本発明の第6の実施の形態に係る半導体記憶装置に搭載された不揮発性メモリのメモリセル構造を示す断面図、図32は、本発明の第6の実施の形態に係る半導体記憶装置に搭載された揮発性メモリのメモリセル構造を示す断面図である。図31の不揮発性メモリと図32の揮発性メモリとは、同一チップ上に混載されるものである。

#### 【0059】(A) 不揮発性メモリ

図31に示すように、この第6の実施の形態に係る不揮発性メモリのメモリセルはn型MOSトランジスタで構成される。そして、この不揮発性メモリのメモリセル構造では、p型半導体基板1の主面上に第1ゲート絶縁膜13を介して第2ゲート絶縁膜14が設けられる。第2ゲート絶縁膜14の両端には電荷蓄積層4(4a、4b)が形成される。第2ゲート絶縁膜14および電荷蓄積層4上には第3ゲート絶縁膜15を介してゲート電極3が設けられる。ゲート電極3の側面には酸化膜16を介してサイドウォールスペーサ9が設けられ、このサイドウォールスペーサ9の下部のp型半導体基板1の主面には、チャネル領域に接する低不純物濃度のn<sup>-</sup>型拡散層10と、このn<sup>-</sup>型拡散層10の外側に位置する高不純物濃度のn<sup>+</sup>型拡散層11が設けられる。ゲート電極3およびn<sup>+</sup>型拡散層11それぞれの表面には導電層12が設けられる。

【0060】本発明の第6の実施の形態に係る不揮発性メモリのメモリセルは、ソース領域およびドレイン領域を低不純物濃度のn<sup>-</sup>型拡散層10と高不純物濃度のn<sup>+</sup>型拡散層11で構成したLDD構造を有している。そ

して、ゲート絶縁膜が第1のゲート絶縁膜13(下層)、第2のゲート絶縁膜14(中間層)および第3のゲート絶縁膜15(上層)からなる三層積層膜で構成され、第2ゲート絶縁膜14の両端部には電荷蓄積層4

(4a、4b)が形成される。この2つの電荷蓄積層4aおよび4bに電子を蓄積し、その蓄積状態は(1)電荷蓄積層4a、4bのいずれも電子を蓄積していない状態、(2)電荷蓄積層4aのみが電子を蓄積している状態、(3)電荷蓄積層4bのみが電子を蓄積している状態、(4)電荷蓄積層4a、4b共に電子を蓄積している状態、の4つの状態をとり得る。この2つの電荷蓄積層4aおよび4bに保持された電子の有無によって生じるしきい値電圧の変化分を記憶情報の“00”、“01”、“10”、“11”に対応させる。また、このメモリセル構造では電荷蓄積層4はチャネル領域端部の上方に位置するので、チャネル領域中央部のしきい値電圧はチャネル領域の不純物濃度のみで決まり、電荷蓄積層4の電子の蓄積状態に依存しない。したがって、電荷蓄積層4の電子の過不足による過消去(over-erase)は防止され、それにより過消去に起因するリーク不良、プログラム不良、読み出し不良等は生じ得ない。また、ソース領域とドレイン領域間のリーク電流はゲート電圧のみで抑制でき、高信頼性の不揮発性メモリを実現できる。電荷蓄積層4はCVD法による電荷蓄積能力の高いシリコン窒化膜で構成すればよい。シリコン窒化膜の離散的な電荷捕獲準位に電子を蓄積することで、下部絶縁膜の膜質に影響を受け難い電荷保持特性を得ることができるからである。また、シリコン膜、多結晶シリコン膜で構成すれば安価に製造できる。さらに、第1ゲート絶縁膜13、第3ゲート絶縁膜15をシリコン酸化膜(SiO<sub>2</sub>膜)の2倍程度の誘電率を有するシリコン窒化膜(Si<sub>3</sub>N<sub>4</sub>膜)で構成すれば、シリコン酸化膜換算膜厚が4nm~11nm程度の非常に薄いゲート絶縁膜を安定して実現できる。たとえばシリコン酸化膜換算膜厚が5nmのシリコン窒化膜の実質膜厚は10nm程度なので、直接トンネル(DT)注入も誘起されない。したがって、電子の注入抽出動作時の電圧は低電圧化され、メモリセルの微細化のみならず周辺高電圧動作素子の微細化も可能となる。

【0061】本発明の第6の実施の形態に係る不揮発性メモリのメモリセルでは、ソース領域およびドレイン領域の耐圧向上の目的でn<sup>-</sup>型拡散層10を設け、LDD構造を構成しているが、シングルドレイン構造、ダブルドレイン構造でソース領域およびドレイン領域を構成してもよい。第2ゲート絶縁膜14は電荷蓄積層4a~4b間のリークを防止するが、たとえばシリコン酸化膜で構成することができる。また、第2ゲート絶縁膜14に高誘電率を有する金属酸化膜を用いれば、チャネル領域中央の電流伝達特性を向上できる。金属酸化膜としてはたとえばTiO<sub>2</sub>、Ta<sub>2</sub>O<sub>5</sub>、Al<sub>2</sub>O<sub>3</sub>、PZT、

SBTがある。

【0062】次に、本発明の第6の実施の形態に係る不揮発性半導体メモリの動作について図33および図34を用いて説明する。図33は、書き込み動作を説明する不揮発性メモリの断面図である。図34は、消去動作を説明する不揮発性メモリの断面図である。図33に示すように、メモリセルの書き込み時には、ゲートGに7〜8V程度、ドレインDに5V程度をそれぞれ印加し、ソースSを接地する。このように電圧を印加し、チャネル熱電子(CHE)で電子をドレイン領域側の電荷蓄積層4bに注入する。ソース領域側の電荷蓄積層4bに電子を注入する場合には、ドレインD、ソースSそれぞれに印加する電圧を上記と入れ替えればよい。一方、メモリセルの消去は、図34に示すように、ゲートGに負電圧(〜-5V)を印加し、ファウラー・ノルドハイム(FN)型トンネル電流を利用して電荷蓄積層4a、4bから電子を引き抜くことで行われる。また、ゲートGが複数のメモリセルで共有されている場合には、それらのメモリセルから同時に電子を引き抜くことができる。この場合、ソースS、ドレインDはp型半導体基板1と同電位とすればよい。また、p型半導体基板1の電位とは異なる正電圧をドレイン電極に印加し、ソース電極を浮遊電位(Floating)とすれば、ドレイン電極側の電荷蓄積層4bのみから電子を引き抜くことも可能である。ソース電極側の電荷蓄積層4aのみから電子を引き抜く場合にはソース電極に正電圧を印加し、ドレイン電極を浮遊電位とすればよい。

【0063】メモリセルの書き込みは、メモリセルの消去と同様、FN電流を利用して行うこともできる。ゲートGとp型半導体基板1間に10V程度を印加し、FN電流で電子を電荷蓄積層4a、4bに注入する。この場合、ゲートGが共通する複数のメモリセルには同時に電子を注入できる。

【0064】また図示はしないが、メモリセルの読み出しは、ソースSとドレインDの間を流れる読み出し電流を検知することで行われる。電荷蓄積層4a、4bの蓄積状態によってソース領域、ドレイン領域近傍の電流伝達特性(チャネルコンダクタンス)が変調することを利用するものである。ソースS、ドレインDのどちらにバイアスするかは電流伝達特性の変調が顕著に現れる方を選択すればよい。電荷蓄積層4aおよび4bの4つの蓄積状態によって4つの異なる電流伝達特性が得られ、それにより1つのセルで2ビット分の情報を記憶できる。

#### 【0065】(B) 揮発性メモリ

図32に示すように、本発明の第6の実施の形態に係る揮発性メモリのメモリセルはn型MOSトランジスタで構成される。この揮発性メモリのメモリセル構造では、p型半導体基板1の主面上に、図31の第2ゲート絶縁膜14が直接配置される。そして、第2ゲート絶縁膜14の両端には、図31の不揮発性メモリと同様、電荷蓄

積層4(4c、4d)が形成されるが、この電荷蓄積層4cおよび4dがトンネル絶縁膜23を介してp型半導体基板1の主面上に配置される点が図31の不揮発性メモリとは異なる。第2ゲート絶縁膜14および電荷蓄積層4上には第3ゲート絶縁膜15を介してゲート電極3が設けられる。ゲート電極3の側面には酸化膜16を介してサイドウォールスペーサ9が設けられ、このサイドウォールスペーサ9の下部のp型半導体基板1の主面には、チャネル領域に接する低不純物濃度の $n^-$ 型拡散層10と、この $n^-$ 型拡散層10の外側に位置する高不純物濃度の $n^+$ 型拡散層11が設けられる。ゲート電極3および $n^+$ 型拡散層11それぞれの表面には導電層12が設けられる。

【0066】本発明の第6の実施の形態に係る揮発性メモリのメモリセルは、ソース領域およびドレイン領域を低不純物濃度の $n^-$ 型拡散層10と高不純物濃度の $n^+$ 型拡散層11で構成したLDD構造を有している。そして、ゲート絶縁膜が第2のゲート絶縁膜14、トンネル絶縁膜23および第3のゲート絶縁膜15で構成され、第2ゲート絶縁膜14の両端部には電荷蓄積層4が形成される。この2つの電荷蓄積層4cおよび4dに電子を蓄積し、その蓄積状態は(1)電荷蓄積層4c、4dのいずれも電子を蓄積していない状態、(2)電荷蓄積層4cのみが電子を蓄積している状態、(3)電荷蓄積層4dのみが電子を蓄積している状態、(4)電荷蓄積層4c、4d共に電子を蓄積している状態、の4つの状態をとり得る。この2つの電荷蓄積層4cおよび4dに保持された電子の有無によって生じるしきい値電圧の変化分を記憶情報の“00”、“01”、“10”、“11”に対応させる。また、このメモリセル構造では電荷蓄積層4はチャネル領域端部の上方に位置するので、チャネル領域中央部のしきい値電圧はチャネル領域の不純物濃度のみで決まり、電荷蓄積層4の電子の蓄積状態に依存しない。したがって、電荷蓄積層4の電子の過不足による過消去(over-erase)は防止され、それにより過消去に起因するリーク不良、プログラム不良、読み出し不良等は生じ得ない。また、ソース領域とドレイン領域間のリーク電流はゲート電圧のみで抑制でき、高信頼性の揮発性メモリを実現できる。電荷蓄積層4はCVD法による電荷蓄積能力の高いシリコン窒化膜で構成すればよい。シリコン窒化膜の離散的な電荷捕獲準位に電子を蓄積することで、下部絶縁膜の膜質に影響を受け難い電荷保持特性を得ることができるからである。また、シリコン膜、多結晶シリコン膜で構成すれば安価に製造できる。さらに、第3ゲート絶縁膜15をシリコン酸化膜( $SiO_2$ 膜)の2倍程度の誘電率を有するシリコン窒化膜( $Si_3N_4$ 膜)で構成すれば、シリコン酸化膜換算膜厚が4nm〜11nm程度の非常に薄いゲート絶縁膜を安定して実現できる。たとえばシリコン酸化膜換算膜厚が5nmのシリコン窒化膜の実質膜厚は10nm程度な



ので、直接トンネル（D T）注入も誘起されない。したがって、電子の注入抽出動作時の電圧は低電圧化され、メモリセルの微細化のみならず周辺高電圧動作素子の微細化も可能となる。

【0067】本発明の第6の実施の形態に係る揮発性メモリのメモリセルでは、ソース領域およびドレイン領域の耐圧向上の目的で $n^-$ 型拡散層10を設け、LDD構造を構成しているが、シングルドレイン構造、ダブルドレイン構造でソース領域およびドレイン領域を構成してもよい。第2ゲート絶縁膜14は電荷蓄積層4c-4d間のリークを防止するが、たとえばシリコン酸化膜で構成することができる。また、第2ゲート絶縁膜14に高誘電率を有する金属酸化膜を用いれば、チャネル領域中央の電流伝達特性を向上できる。金属酸化膜としてはたとえば $TiO_2$ 、 $Ta_2O_5$ 、 $Al_2O_3$ 、PZT、SBTがある。

【0068】本発明の第6の実施の形態に係る揮発性メモリでは、電荷蓄積層4cおよび4dの下部にトンネル絶縁膜23を配置している。トンネル絶縁膜23は直接トンネリング可能な膜厚を有する薄膜のシリコン酸化膜で構成され、ダイナミックRAMに要求される100ns以下での高速書き込み読み出しを可能とする。トンネル絶縁膜23をシリコン酸化膜で構成した場合、その膜厚は3nm以下とすれば良い。また、3nm以下のシリコン窒化膜で構成すれば、シリコン酸化膜換算膜厚が1.5nm程度の非常に薄いゲート絶縁膜を安定して実現できる。トンネル絶縁膜23を介する漏れ電流によって電荷蓄積層4に蓄積された電子は徐々に減っていくので、実際は長期間のデータ保持は困難である。しかし、通常のダイナミックRAMのリフレッシュ期間内で十分再書き込み可能であり、ダイナミックRAMとしての動作には全く問題ないと考ええる。このことは、C.H.-J. Wannらによって1995IEDM digest p.867に示されている。

【0069】メモリセルの読み込みはソース電極とドレイン電極の間を流れる読み出し電流を検知することで行われる。電荷蓄積層4c、4dの蓄積状態によってソース領域、ドレイン領域近傍の電流伝達特性（チャネルコンダクタンス）が変調することを利用するものである。ソース電極、ドレイン電極のどちらにバイアスするかは電流伝達特性の変調が顕著に現れる方を選択すればよい。電荷蓄積層4cおよび4dの4つの蓄積状態によって4つの異なる電流伝達特性が得られ、それにより1つのセルで2ビット分の情報を記憶できる。

【0070】さらに、本発明の第6の実施の形態に係る揮発性メモリは、電荷蓄積層4cおよび4dに電荷を注入しなければ、通常のMOSトランジスタとして動作させることが可能である。

【0071】（C）不揮発性および揮発性混載メモリの製造方法

次に、本発明の第6の実施の形態に係る不揮発性メモリ

および揮発性メモリのメモリセルの製造方法を図35乃至図43および図44乃至図52を用いて説明する。図35乃至図43は、本発明の第6の実施の形態に係る不揮発性メモリの製造方法を示す断面図、図44乃至図52は、本発明の第6の実施の形態に係る揮発性メモリの製造方法を示す断面図である。

【0072】まず図35および図44に示すように、p型半導体基板1全面に電荷蓄積能力の小さいシリコン窒化膜を堆積し、10nm程度の第1ゲート絶縁膜13を形成する。第1ゲート絶縁膜13形成後、図35の不揮発性メモリ形成領域をたとえばフォトリソで覆い、図44の揮発性メモリ形成領域の第1ゲート絶縁膜13のみをたとえば加熱リン酸溶液を用いたウェットエッチング法により除去する。したがって、第1のゲート絶縁膜13は図35の不揮発性メモリ形成領域のみに形成される。電荷蓄積能力の小さいシリコン窒化膜の堆積は、たとえばJVD法で行う。

【0073】次に、図36および図45に示すように、CVD法によりシリコン酸化膜をp型半導体基板1全面に堆積し、5~10nm程度の第2ゲート絶縁膜14を形成する。続いてJVD法により電荷蓄積能力の小さいシリコン窒化膜を堆積し、10nm程度の第3ゲート絶縁膜15を形成する。結局、図36の不揮発性メモリ形成領域には第1、第2および第3のゲート絶縁膜13、14、15が形成され、図45の揮発性メモリ形成領域には第2および第3ゲート絶縁膜14、15が形成される。

【0074】次に、図37および図46に示すように、p型半導体基板1全面にLPCVD法によりn型またはp型不純物をドーピングした50~250nm程度の多結晶シリコン膜を堆積した後、露光技術およびエッチング技術によりパターニングし、ゲート電極3を形成する。続いてゲート電極3をマスクとして、図37の不揮発性メモリ形成領域では、ソース領域およびドレイン領域を形成する領域のp型半導体基板1の表面の第1ゲート絶縁膜13、第2ゲート絶縁膜14および第3ゲート絶縁膜15を自己整合的にドライエッチングする。一方、図46の揮発性メモリ形成領域では、第2ゲート絶縁膜14および第3ゲート絶縁膜15を自己整合的にドライエッチングする。

【0075】次に、図38および図47に示すように、電荷蓄積層形成のための空間17を形成する。この空間17は、第1ゲート酸化膜13および第3ゲート絶縁膜15よりも第2ゲート絶縁膜14のエッチング速度が大きいエッチング液を用いて第2ゲート絶縁膜14の端部を選択的にウェットエッチングすることで形成する。図38の不揮発性メモリ形成領域の電荷蓄積層形成のための空間17および図47の揮発性メモリ形成領域の電荷蓄積層形成のための空間17は同時に形成される。本発明の第6の実施の形態では、第1ゲート酸化膜13およ

10

20

30

40

50



び第3ゲート絶縁膜15をシリコン窒化膜で構成し、第2ゲート絶縁膜14をシリコン酸化膜で構成しているの  
で、エッチング液としてはたとえばフッ酸系を用いれば  
よい。また、この空間17は、エッチング液を用いたウ  
ェットエッチング法に替えてHFガスを含むガスを用い  
たプラズマドライエッチング法で形成してもよい。

【0076】次に、図39および図48に示すように、  
p型半導体基板1全面をたとえばRTO法により酸化  
し、直接トンネル可能なシリコン酸化膜から成るトン  
ネル絶縁膜23を形成する。

【0077】次に、図40および図49に示すように、  
p型半導体基板1全面にLPCVD法により電荷蓄積能  
力の高いシリコン窒化膜18を電荷蓄積層形成のための  
空間17が完全に埋め込まれるように堆積する。そし  
て、図41および図50に示すように、p型半導体基板  
1全面に対してRIEによる異方性エッチングを行い、  
電荷蓄積能力の高いシリコン窒化膜で構成された電荷蓄  
積層4(4a, 4b, 4c, 4d)を同時に形成する。

【0078】次に、図42および図51に示すように、  
p型半導体基板1全面に酸化膜16を形成した後、低不  
純物濃度の $n^-$ 型拡散層10を形成する。 $n^-$ 型拡散層  
10はイオン注入技術によりゲート電極3をマスクとし  
てn型不純物を注入し、その後の熱処理によって注入し  
た不純物を活性化することで形成する。

【0079】次に、図43および図52に示すように、  
ゲート電極3の側壁にサイドウォールスペーサ9を形成  
した後、高不純物濃度の $n^+$ 型拡散層11を形成する。  
 $n^+$ 型拡散層11はイオン注入技術によりゲート電極3  
およびサイドウォールスペーサ9をマスクとしてn型不  
純物を注入し、その後の熱処理によって注入した不純物  
を活性化することで形成する。

【0080】そして、p型半導体基板1の全面にCVD  
法またはスパッタ法によってタングステン、チタン、コ  
バルトなどの高融点金属膜を堆積し、続いて、p型半導  
体基板1を不活性雰囲気中で熱処理することによりゲ  
ート電極3および $n^+$ 型拡散層11それぞれの表面に高融  
点金属シリサイドで構成される導電層12を形成する。  
導電層12形成後、上記以外の領域に残った未反応の高  
融点金属を除去すれば、図31に示した不揮発性メモリ  
および図32に示した揮発性メモリのメモリセル構造が  
完成する。

【0081】なお、図示はしないが、図31および図3  
2のメモリセル構造完成後、層間絶縁膜形成工程、コン  
タクトホール形成工程、配線形成工程、パッシベシ  
ョン膜形成工程等の通常のCMOS製造工程を順次経て、  
最終的な不揮発性メモリおよび揮発性メモリを搭載した  
半導体装置が完成する。

【0082】このように本発明の第6実施の形態では、  
電荷蓄積層4(4a, 4b, 4c, 4d)をゲート電極  
3の両端の下方に自己整合的に形成することができる。

したがって、図31および図32のメモリセルトランジ  
スタのゲート長方向の微細化が可能となる。それによ  
り、大容量、高密度の不揮発性メモリおよび揮発性メモ  
リを提供できる。また、ビット当りのセル面積は従来と  
比べてほぼ半減され、大幅に縮小された不揮発性メモリ  
および揮発性メモリを実現できる。

【0083】電荷蓄積層4のチャネル長方向の幅は、p  
型半導体基板1、第1ゲート絶縁膜13および第3ゲ  
ート絶縁膜15と第2ゲート絶縁膜14のエッチング速度  
差およびエッチング時間の調節によって容易に制御でき  
る。それにより、電荷蓄積層4を対称に配置できる。そ  
して、電荷蓄積層4間は第2ゲート絶縁膜14によって  
電氣的に完全に分離されるので、電荷蓄積層4間の相互  
作用は起こらない。さらに、電荷蓄積層4は、ソース領  
域、ドレイン領域、ゲート電極3およびチャネル領域か  
らは、第1の絶縁膜13、トンネル絶縁膜23、第3の  
絶縁膜15および酸化膜16によって完全に絶縁される  
ので、電荷保持特性の優れた不揮発性メモリおよび揮  
発性メモリを提供できる。電荷蓄積層4はゲート電極3の  
端部からチャネル領域方向に延在して形成され、電荷蓄  
積層4のうちのチャネル領域側の部分の電荷蓄積状態に  
よってメモリセルの電流伝達特性ほぼ決まる。したがっ  
て、この部分のゲート長方向の長さを限界まで縮小すれ  
ば、より微細な不揮発性メモリおよび揮発性メモリを提  
供できる。

【0084】セル構造は通常のCMOS工程で容易に実  
現可能であるので、既存の製造ラインを使用し低コスト  
で不揮発性メモリおよび揮発性メモリを製造できる。

【0085】さらに、上記の不揮発性メモリと揮発性メモ  
リは、その製造工程の大部分が共通化されているの  
で、低コストでかつ短い製造工期で、不揮発性メモリと  
揮発性メモリを混載した半導体装置を製造することがで  
きる。

【0086】なお、本発明の第6実施の形態では、第  
1ゲート絶縁膜13をシリコン窒化膜、第2ゲート絶縁  
膜14をシリコン酸化膜、第3ゲート絶縁膜15をシリ  
コン窒化膜で構成しているが、第1ゲート絶縁膜13を  
シリコン酸化膜、第2ゲート絶縁膜14をシリコン窒化  
膜、第3ゲート絶縁膜15をシリコン酸化膜で構成して  
も良い。この場合たとえば、第1ゲート絶縁膜13はp  
型半導体基板1を熱酸化した10nm程度のシリコン酸  
化膜で構成する。第2ゲート絶縁膜14はJVD法によ  
り堆積した5~10nm程度の電荷蓄積能力の低いシリ  
コン窒化膜で構成する。第3ゲート絶縁膜15はCVD  
法により堆積した10nm程度のシリコン酸化膜で構成  
すれば良い。また、電荷蓄積層形成のための空間17の  
形成は、第1ゲート酸化膜13および第3ゲート絶縁膜  
15をシリコン酸化膜で構成し、第2ゲート絶縁膜14  
をシリコン窒化膜で構成しているの、エッチング液と  
してたとえばリン酸系を用いればよい。

【0087】（第7の実施の形態）次に、本発明の第7の実施の形態を説明する。この第7の実施の形態は、上記の第6の実施の形態と同様、電気的に書き込み消去可能な不揮発性メモリと高速に書き込み読み出し可能な揮発性メモリを同一のチップ上に実現する例を示すものである。図53は、本発明の第7の実施の形態に係る半導体記憶装置に搭載された不揮発性メモリのメモリセル構造を示す断面図、図54は、本発明の第7の実施の形態に係る半導体記憶装置に搭載された揮発性メモリのメモリセル構造を示す断面図である。図53の不揮発性メモリと図54の揮発性メモリとは、同一チップ上に混載されるものである。図53に示す不揮発性メモリについては上記の第6の実施の形態と同様であるので、ここではその説明を省略する。

【0088】図54に示すように、この第7の実施の形態に係る揮発性メモリのメモリセルはn型MOSトランジスタで構成される。そして、この揮発性メモリのメモリセル構造では、p型半導体基板1の主面上にトンネル絶縁膜23を介して電荷蓄積層4eが配置される。電荷蓄積層4e上には第4ゲート絶縁膜24を介してゲート電極3が設けられる。ゲート電極3の側面には酸化膜16を介してサイドウォールスペーサ9が設けられ、このサイドウォールスペーサ9の下部のp型半導体基板1の主面には、チャネル領域に接する低不純物濃度の $n^-$ 型拡散層10と、この $n^-$ 型拡散層10の外側に位置する高不純物濃度の $n^+$ 型拡散層11が設けられる。ゲート電極3および $n^+$ 型拡散層11それぞれの表面には導電層12が設けられる。

【0089】本発明の第7の実施の形態に係る揮発性メモリのメモリセルは、ソース領域およびドレイン領域を低不純物濃度の $n^-$ 型拡散層10と高不純物濃度の $n^+$ 型拡散層11で構成したLDD構造を有している。そして、ゲート絶縁膜がトンネル絶縁膜23および第4のゲート絶縁膜21から成る積層構造で構成され、トンネル絶縁膜23と第4ゲート絶縁膜24の間には電荷蓄積層4eが配置される。この電荷蓄積層4eに電子を蓄積し、この電荷蓄積層4eに保持された電子の有無によって生じるしきい値電圧の変化分を記憶情報の“0”、“1”に対応させる。電荷蓄積層4eはCVD法による電荷蓄積能力の高いシリコン窒化膜で構成すればよい。シリコン窒化膜の離散的な電荷捕獲準位に電子を蓄積することで、下部絶縁膜の膜質に影響を受け難い電荷保持特性を得ることができるからである。また、シリコン膜、多結晶シリコン膜で構成すれば安価に製造できる。さらに、第4ゲート絶縁膜24をシリコン酸化膜（ $SiO_2$ 膜）の2倍程度の誘電率を有するシリコン窒化膜（ $Si_3N_4$ 膜）で構成すれば、シリコン酸化膜換算膜厚が4nm～11nm程度の非常に薄いゲート絶縁膜を安定して実現できる。たとえばシリコン酸化膜換算膜厚が5nmのシリコン窒化膜の実質膜厚は10nm程度な

ので、直接トンネル（DT）注入も誘起されない。したがって、電子の注入抽出動作時の電圧は低電圧化され、メモリセルの微細化のみならず周辺高電圧動作素子の微細化も可能となる。

【0090】本発明の第7の実施の形態に係る揮発性メモリのメモリセルでは、ソース領域およびドレイン領域の耐圧向上の目的で $n^-$ 型拡散層10を設け、LDD構造を構成しているが、シングルドレイン構造、ダブルドレイン構造でソース領域およびドレイン領域を構成してもよい。

【0091】本発明の第7の実施の形態に係る揮発性メモリにおいて、電荷蓄積層4eの下部にトンネル絶縁膜23を配置している。トンネル絶縁膜23は直接トンネルリング可能な膜厚を有する薄膜のシリコン酸化膜で構成され、ダイナミックRAMに要求される100ns以下の高速書き込み読み出しが可能となる。トンネル絶縁膜23をシリコン酸化膜で構成した場合、その膜厚は3nm以下とすれば良い。また、3nm以下のシリコン窒化膜で構成すれば、シリコン酸化膜換算膜厚が1.5nm程度の非常に薄いトンネル絶縁膜23を安定して実現できる。

【0092】さらに、本発明の第7の実施の形態に係る揮発性メモリは、電荷蓄積層4eに電荷を注入しなければ、通常のMOSトランジスタとして動作させることも可能である。

【0093】次に、本発明の第7の実施の形態に係る不揮発性メモリおよび揮発性メモリのメモリセルの製造方法を図55乃至図62および図63乃至図70を用いて説明する。図55乃至図62は、本発明の第7の実施の形態に係る不揮発性メモリの製造方法を示す断面図、図63乃至図70は、本発明の第7の実施の形態に係る揮発性メモリの製造方法を示す断面図である。

【0094】まず図55および図63に示すように、p型半導体基板1全面に電荷蓄積能力の小さいシリコン窒化膜を堆積し、10nm程度の第1ゲート絶縁膜13を形成する。電荷蓄積能力の小さいシリコン窒化膜の堆積はたとえばJVD法で行う。第1ゲート絶縁膜13形成後、CVD法によりシリコン酸化膜を堆積し、5～10nm程度の第2ゲート絶縁膜14を形成する。続いてJVD法により電荷蓄積能力の小さいシリコン窒化膜を堆積し、10nm程度の第3ゲート絶縁膜15を形成する。

【0095】次に、図56および図64に示すように、p型半導体基板1全面にLPCVD法によりn型またはp型不純物をドーピングした50～250nm程度の多結晶シリコン膜を堆積した後、図56の不揮発性メモリ形成領域では、露光技術およびエッチング技術によりパターニングし、ゲート電極3を形成する。続いてゲート電極3をマスクとしてソース領域およびドレイン領域を形成する領域のp型半導体基板1の表面の第1ゲート絶縁膜

13、第2ゲート絶縁膜14および第3ゲート絶縁膜15を自己整合的にドライエッチングする。図64の揮発性メモリ形成領域では、多結晶シリコン膜、第1ゲート絶縁膜13、第2ゲート絶縁膜14および第3ゲート絶縁膜15はすべて除去され、p型半導体基板1表面が露出する。

【0096】次に、図57に示すように、不揮発性メモリ形成領域では、電荷蓄積層形成のための空間17を形成する。この電荷蓄積層形成のための空間17は、第1ゲート酸化膜13および第3ゲート絶縁膜15よりも第2ゲート絶縁膜14のエッチング速度が大きいエッチング液を用いて第2ゲート絶縁膜14の端部を選択的にウェットエッチングすることで形成する。本発明の第7の実施の形態では、第1ゲート酸化膜13および第3ゲート絶縁膜15をシリコン窒化膜で構成し、第2ゲート絶縁膜14をシリコン酸化膜で構成しているため、エッチング液としてはたとえばフッ酸系を用いればよい。また、電荷蓄積層系形成のための空間17は、エッチング液を用いたウェットエッチング法に替えてHFガスを含むガスを用いたプラズマドライエッチング法で形成してもよい。一方、図65に示すように、揮発性メモリ形成領域では、p型半導体基板1の表面が露出したままである。

【0097】次に、図58および図66に示すように、p型半導体基板1全面をたとえばRTO法により直接トンネル可能なシリコン酸化膜から成るトンネル絶縁膜23を形成する。トンネル絶縁膜23形成後、p型半導体基板1全面にLPCVD法により電荷蓄積能力の高いシリコン窒化膜18を堆積する。この時、電荷蓄積層形成のための空間17がシリコン窒化膜18によって完全に埋め込まれる。そして、図59に示すように、不揮発性メモリ形成領域では、p型半導体基板1全面に対してRIEによる異方性エッチングを行い、電荷蓄積能力の高いシリコン窒化膜18で構成された電荷蓄積層4(4a, 4b)を形成する。その際、図67の揮発性メモリ形成領域は、フォトレジストで覆われており、シリコン窒化膜18はエッチングされない。

【0098】シリコン窒化膜18のエッチング終了後、p型半導体基板1全面にシリコン酸化膜を堆積し、第4ゲート絶縁膜24を形成する。ここで、図59の不揮発性メモリ形成領域の第4ゲート絶縁膜24は除去される。その除去は、図67の揮発性メモリ形成領域をフォトレジストで覆い、図59の不揮発性メモリ形成領域に堆積された第4ゲート絶縁膜24をエッチングすることで行われる。

【0099】次に、図68に示すように、p型半導体基板1全面にLPCVD法によりn型またはp型不純物をドーパした50~250nm程度の多結晶シリコン膜を堆積する。そして、露光技術およびエッチング技術によりその多結晶シリコン膜をパターンニングし、ゲート電極

3aを形成する。続いてゲート電極3aをエッチングマスクとして、ソース領域およびドレイン領域を形成する領域のp型半導体基板1の表面のトンネル絶縁膜23、電荷蓄積層4eおよび第4ゲート絶縁膜24を自己整合的にドライエッチングする。一方、不揮発性メモリ形成領域では、図60に示すように、多結晶シリコン膜をすべて除去しても良いし、ゲート電極3に合わせてパターンニングし、新たなゲート電極を形成しても良い。

【0100】次に、図61および図69に示すように、p型半導体基板1全面に酸化膜16を形成した後、低不純物濃度の $n^-$ 型拡散層10を形成する。 $n^-$ 型拡散層10はイオン注入技術によりゲート電極3をマスクとしてn型不純物を注入し、その後の熱処理によって注入した不純物を活性化することで形成する。

【0101】次に、図62および図70に示すように、ゲート電極3の側壁にサイドウォールスペーサ9を形成した後、高不純物濃度の $n^+$ 型拡散層11を形成する。 $n^+$ 型拡散層11はイオン注入技術によりゲート電極3およびサイドウォールスペーサ9をマスクとしてn型不純物を注入し、その後の熱処理によって注入した不純物を活性化することで形成する。

【0102】次に、p型半導体基板1の全面にCVD法またはスパッタ法によってタングステン、チタン、コバルトなどの高融点金属膜を堆積し、続いて、p型半導体基板1を不活性雰囲気中で熱処理することによりゲート電極3および $n^+$ 型拡散層11それぞれの表面に高融点金属シリサイドで構成される導電層12を形成する。導電層12形成後、上記以外の領域に残った未反応の高融点金属を除去すれば、図53に示した不揮発性メモリおよび図54に示した揮発性メモリのメモリセル構造が完成する。

【0103】図示はしないが、図53および図54のメモリセル構造完成後、層間絶縁膜形成工程、コンタクトホール形成工程、配線形成工程、パッシベーション膜形成工程等の通常のCMOS製造工程を順次経て、最終的な不揮発性メモリセルおよび揮発性メモリセルが完成する。

【0104】本発明の第7の実施の形態では、第1ゲート絶縁膜13をシリコン窒化膜、第2ゲート絶縁膜14をシリコン酸化膜、第3ゲート絶縁膜15をシリコン窒化膜で構成しているが、第1ゲート絶縁膜13をシリコン酸化膜、第2ゲート絶縁膜14をシリコン窒化膜、第3ゲート絶縁膜15をシリコン酸化膜で構成しても良い。この場合たとえば、第1ゲート絶縁膜13はp型半導体基板1を熱酸化した10nm程度のシリコン酸化膜で構成する。第2ゲート絶縁膜14はJVD法により堆積した5~10nm程度の電荷蓄積能力の低いシリコン窒化膜で構成する。第3ゲート絶縁膜15はCVD法により堆積した10nm程度のシリコン酸化膜で構成すれば良い。また、電荷蓄積層形成のための空間17の形成

は、第1ゲート酸化膜13および第3ゲート絶縁膜15をシリコン酸化膜で構成し、第2ゲート絶縁膜14をシリコン窒化膜で構成しているため、エッチング液としてはたとえばリン酸系を用いればよい。

【0105】本発明の第6および第7の実施の形態では、不揮発性メモリおよび揮発性メモリのメモリセルは共にn型MOSトランジスタで構成される例について説明したが、反対導電型のp型MOSトランジスタのメモリセルであっても良いことはもちろんである。この場合には、上記の説明において、適宜、基板や拡散層の導電タイプを反対のものに読み替えれば良い。

【0106】(第8の実施の形態)次に、本発明の第8の実施の形態について説明する。上記の第1乃至第7の実施の形態では、電荷蓄積層の構造は電子注入効率の向上に直接には寄与しない。フローティングゲート構造の不揮発性半導体メモリでは、チャネル部分に段差を設けて、電子注入効率を向上させる試みが提案されている

(S. Ogura, 1998IEDM, p987, 米国特許番号第5780341号)。しかしながら、この提案では、フローティングゲート構造を採用するため、酸化膜中の欠陥やリークサイトに対しては弱い。また、段差構造形成時に発生する欠陥に対しても、十分な信頼性を得られないおそれがある。本発明の第8の実施の形態は、簡単なプロセスで、電子注入効率を向上させることができるものである。

【0107】図71は、本発明の第8の実施の形態に係る不揮発性半導体メモリのメモリセル構造を示す断面図である。この第8の実施の形態は、メモリセルのチャネル領域に段差や傾斜を設けることで、書き込み時における電子注入効率の向上を図るものである。図71に示すように、このメモリセルはn型MOSトランジスタで構成される。そして、この第8の実施の形態に係るメモリセルの構造では、p型半導体基板1の表面に第1ゲート絶縁膜13を介して第2ゲート絶縁膜14が設けられる。第2ゲート絶縁膜14の両端には電荷蓄積層4a、4bが形成される。第2ゲート絶縁膜14および電荷蓄積層4a、4b上には第3ゲート絶縁膜15を介してゲート電極3が設けられる。ゲート電極3の側面には酸化膜16を介してサイドウォールスペーサ9が設けられ、このサイドウォールスペーサ9の下部のp型半導体基板1には、チャネル領域に接する低不純物濃度の $n^-$ 型拡散層10と、この $n^-$ 型拡散層10の外側に位置する高不純物濃度の $n^+$ 型拡散層11が設けられる。ゲート電極3および $n^+$ 型拡散層11それぞれの表面には導電層12が設けられる。

【0108】さらに、本発明の第8の実施の形態に係る不揮発性半導体メモリのメモリセル構造では、チャネル領域25に段差26が設けられる。この段差26により、p型半導体基板1内の電子の散乱方向に電荷蓄積層4が位置することになる。したがって、書き込み時に

ける電子の注入効率が向上する。

【0109】本発明の第8の実施の形態に係る不揮発性半導体メモリのメモリセルは、ソース領域およびドレイン領域を低不純物濃度の $n^-$ 型拡散層10と高不純物濃度の $n^+$ 型拡散層11で構成したLDD構造を有している。そして、ゲート絶縁膜が第1ゲート絶縁膜13(下層)、第2ゲート絶縁膜14(中間層)および第3ゲート絶縁膜15(上層)からなる3層積層膜で構成され、第2ゲート絶縁膜14の両端部には電荷蓄積層4aおよび4bが形成される。この2つの電荷蓄積層4aおよび4bに電子を蓄積し、その蓄積状態は(1)電荷蓄積層4a、4bのいずれも電子を蓄積していない状態、(2)電荷蓄積層4aのみが電子を蓄積している状態、(3)電荷蓄積層4bのみが電子を蓄積している状態、(4)電荷蓄積層4a、4b共に電子を蓄積している状態、の4つの状態をとり得る。この2つの電荷蓄積層4aおよび4bに保持された電子の有無によって生じるしきい値電圧の変化分を記憶情報の“00”、“01”、“10”、“11”に対応させる。また、このメモリセル構造では電荷蓄積層4a、4bはチャネル領域端部の上方に位置するので、チャネル領域中央部のしきい値電圧はチャネル領域の不純物濃度のみで決まり、電荷蓄積層4a、4bの電子の蓄積状態に依存しない。したがって、電荷蓄積層4a、4bの電子の過不足による過消去(over-erase)は防止され、それにより過消去に起因するリーク不良、プログラム不良、読み出し不良等は生じ得ない。また、ソース領域とドレイン領域間のリーク電流はゲート電圧のみで抑制でき、高信頼性の不揮発性半導体メモリを実現できる。電荷蓄積層4aおよび4bはCVD法による電荷蓄積能力の高いシリコン窒化膜で構成すればよい。シリコン窒化膜の離散的な電荷捕獲準位に電子を蓄積することで、下部絶縁膜の膜質に影響を受け難い電荷保持特性を得ることができるからである。また、シリコン膜、多結晶シリコン膜で構成すれば安価に製造できる。さらに、第1ゲート絶縁膜13、第3ゲート絶縁膜15をシリコン酸化膜( $SiO_2$ 膜)の2倍程度の誘電率を有するシリコン窒化膜( $Si_3N_4$ 膜)で構成すれば、シリコン酸化膜換算膜厚が4nm~11nm程度の非常に薄いゲート絶縁膜を安定して実現できる。たとえばシリコン酸化膜換算膜厚が5nmのシリコン窒化膜の実質膜厚は10nm程度なので、直接トンネル(DT)注入も誘起されない。したがって、電子の注入抽出動作時の電圧は低電圧化され、メモリセルの微細化のみならず周辺高電圧動作素子の微細化も可能となる。

【0110】本発明の第8の実施の形態に係る不揮発性半導体メモリのメモリセルでは、ソース領域およびドレイン領域の耐圧向上の目的で $n^-$ 型拡散層10を設け、LDD構造を構成しているが、シングルドレイン構造、ダブルドレイン構造でソース領域およびドレイン領域を

構成してもよい。第2ゲート絶縁膜14は電荷蓄積層4a-4b間のリークを防止するが、たとえばシリコン酸化膜で構成することができる。また、第2ゲート絶縁膜14に高誘電率を有する金属酸化膜を用いれば、チャンネル領域中央の電流伝達特性を向上できる。金属酸化膜としてはたとえば $TiO_2$ 、 $Ta_2O_5$ 、 $Al_2O_3$ 、 $PZT$ 、 $SBT$ がある。

【0111】本発明の第8の実施の形態では、ソース側、ドレイン側の両方に、段差26を設けたが、どちらか一方のみに設けても良い。特に、1ビット分の情報を記憶するメモリでは、一方のみあれば十分である。

【0112】次に、本発明の第8の実施の形態に係る不揮発性メモリの動作について図72および図73を用いて説明する。図72は、書き込み動作を説明する不揮発性メモリの断面図である。図73は、消去動作を説明する不揮発性メモリの断面図である。図72に示すように、メモリセルの書き込み時には、ゲートGに6〜8V程度、ドレインDに4〜5V程度をそれぞれ印加し、ソースSを接地する。このように電圧を印加し、チャンネル熱電子(CHE)で電子をドレイン領域側の電荷蓄積層4bに注入する。チャンネル領域25に段差26を設けたことで、電子の散乱方向に電荷蓄積層4bに位置している。このために、電荷蓄積層4bに対する電子の注入効率が向上し、注入速度の高速化、印加電圧の低減化、を図ることができる。ソース領域側の電荷蓄積層4aに電子を注入する場合には、ドレインD、ソースSそれぞれに印加する電圧を上記の場合と入れ換えれば良い。一方、メモリセルの消去は、図73に示すように、ゲートGに負電圧(〜-5V)を印加し、ファウラー・ノルドハイム(FN)型トンネル電流を利用して電荷蓄積層4a、4bから電子を引き抜くことで行われる。また、ゲート電極3が複数のメモリセルで共有されている場合には、それらのメモリセルから同時に電子を引き抜くことができる。この場合、ソースS、ドレインDはp型半導体基板1と同電位とすればよい。また、p型半導体基板1の電位とは異なる正電圧をドレインDに印加し、ソースSを浮遊電位(Floating)とすれば、ドレインD側の電荷蓄積層4aのみから電子を引き抜くことも可能である。ソースS側の電荷蓄積層4bのみから電子を引き抜く場合にはソースSに正電圧を印加し、ドレインDを浮遊電位とすればよい。

【0113】また図示はしないが、メモリセルの読み出しは、ソースSとドレインDの間を流れる読み出し電流を検知することで行われる。電荷蓄積層4a、4bの蓄積状態によってソース領域、ドレイン領域近傍の電流伝達特性(チャンネルコンダクタンス)が変調することを利用するものである。ソースS、ドレインDのどちらかにバイアスするかは電流伝達特性の変調が顕著に現れる方を選択すればよい。電荷蓄積層4aおよび4bの4つの蓄積状態によって4つの異なる電流伝達特性が得られ、そ

れにより1つのセルで2ビット分の情報を記憶できる。

【0114】次に、本発明の第8の実施の形態に係る不揮発性メモリのメモリセルの製造方法を図74乃至図82を用いて説明する。まず図74に示すように、チャンネル領域25が形成される領域を覆うフォトリジストパターン27を、p型半導体基板1上に形成する。そして、図75に示すように、たとえばRIE法によって、p型半導体基板1をエッチングすることで、段差26を形成する。

【0115】次に、図76に示すように、p型半導体基板1全面に電荷蓄積能力の小さいシリコン窒化膜を堆積し、10nm程度の第1ゲート絶縁膜13を形成する。電荷蓄積能力の小さいシリコン窒化膜の堆積はたとえばJVD法で行う。第1ゲート絶縁膜13形成後、CVD法によりシリコン酸化膜を堆積し、5〜10nm程度の第2ゲート絶縁膜14を形成する。続いてJVD法により電荷蓄積能力の小さいシリコン窒化膜を堆積し、10nm程度の第3ゲート絶縁膜15を形成する。

【0116】次に、図77に示すように、p型半導体基板1全面にLPCVD法によりn型またはp型不純物をドーブした50〜250nm程度の多結晶シリコン膜を堆積した後、露光技術およびエッチング技術によりパターンニングし、ゲート電極3を形成する。続いて、ゲート電極3をマスクとしてソース領域およびドレイン領域を形成する領域のp型半導体基板1の表面の第1ゲート絶縁膜13、第2ゲート絶縁膜14および第3ゲート絶縁膜15を自己整合的にドライエッチングする。

【0117】次に、図78に示すように、電荷蓄積層形成のための空間17を形成する。この空間17は、第1ゲート酸化膜13および第3ゲート絶縁膜15よりも第2ゲート絶縁膜14のエッチング速度が大きいエッチング液を用いて第2ゲート絶縁膜14の端部を選択的にウェットエッチングすることで形成する。本発明の第8の実施の形態では、第1ゲート酸化膜13および第3ゲート絶縁膜15をシリコン窒化膜で構成し、第2ゲート絶縁膜14をシリコン酸化膜で構成しているため、エッチング液としてはたとえばフッ酸系を用いればよい。また、電荷蓄積層形成のための空間17は、エッチング液を用いたウェットエッチング法に替えてHFガスを含むガスをを用いたプラズマドライエッチング法で形成してもよい。

【0118】次に、図79に示すように、p型半導体基板1全面にLPCVD法により電荷蓄積能力の高いシリコン窒化膜18を電荷蓄積層形成のための空間17が完全に埋め込まれるように堆積する。そして、図80に示すように、p型半導体基板1全面に対してRIEによる異方性エッチングを行い、電荷蓄積能力の高いシリコン窒化膜で構成された電荷蓄積層4aおよび4bを形成する。

【0119】次に、図81に示すように、p型半導体基



板 1 全面に酸化膜 16 を形成した後、低不純物濃度の  $n^-$  型拡散層 10 を形成する。 $n^-$  型拡散層 10 はイオン注入技術によりゲート電極 3 をマスクとして  $n$  型不純物を注入し、その後の熱処理によって注入した不純物を活性化することで形成する。

【0120】次に、図 82 に示すように、ゲート電極 3 の側壁にサイドウォールスペーサ 9 を形成した後、高不純物濃度の  $n^+$  型拡散層 11 を形成する。 $n^+$  型拡散層 11 はイオン注入技術によりゲート電極 3 およびサイドウォールスペーサ 9 をマスクとして  $n$  型不純物を注入し、その後の熱処理によって注入した不純物を活性化することで形成する。

【0121】次に、 $p$  型半導体基板 1 の全面に CVD 法またはスパッタ法によってタングステン、チタン、コバルトなどの高融点金属膜を堆積し、続いて、 $p$  型半導体基板 1 を不活性雰囲気中で熱処理することによりゲート電極 3 および  $n^+$  型拡散層 11 それぞれの表面に高融点金属シリサイドで構成される導電層 12 を形成する。導電層 12 形成後、上記以外の領域に残った未反応の高融点金属を除去すれば、図 71 に示したメモリセル構造が

完成する。

【0122】なお、図示はしないが、図 71 のメモリセル構造完成後、層間絶縁膜形成工程、コンタクトホール形成工程、配線形成工程、パッシベーション膜形成工程等の通常の CMOS 製造工程を順次経て、最終的な不揮発性メモリセルが完成する。

【0123】このように、本発明の第 8 実施の形態では、電荷蓄積層 4a および 4b をゲート電極 3 の両端の下方に自己整合的に形成することができる。したがって、セルトランジスタのゲート長方向の微細化が可能となる。それにより、大容量、高密度の不揮発性半導体メモリを提供できる。また、ビット当りのセル面積は従来と比べてほぼ半減され、大幅に縮小された不揮発性半導体メモリを実現できる。

【0124】また、電荷蓄積層 4a および 4b のチャネル長方向の幅は第 1 ゲート絶縁膜 13 および第 3 ゲート絶縁膜 15 と第 2 ゲート絶縁膜 14 のエッチング速度差およびエッチング時間の調節によって容易に制御できる。それにより、電荷蓄積層 4a および 4b を対称に配置できる。そして、電荷蓄積層 4a と 4b は第 2 ゲート絶縁膜 14 によって電氣的に完全に分離されるので、電荷蓄積層 14a と 14b 間の相互作用は起こらない。さらに、電荷蓄積層 4a および 4b はソース領域、ドレイン領域、ゲート電極 3 およびチャネル領域からは第 1 の絶縁膜 13 および第 3 の絶縁膜 15、酸化膜 16 によって完全に絶縁されるので、電荷保持特性の優れた不揮発性半導体メモリを提供できる。電荷蓄積層 4a および 4b はゲート電極 3 の端部からチャネル領域方向に延在して形成され、電荷蓄積層 4a および 4b のうちのチャネル領域側の部分の電荷蓄積状態によってメモリセルの電

流伝達特性ほぼ決まる。したがって、この部分のゲート長方向の長さを限界まで縮小すれば、より微細な不揮発性半導体メモリを提供できる。

【0125】さらに、セル構造は通常の CMOS 工程で容易に実現可能であるので、既存の製造ラインを使用し低コストで不揮発性半導体メモリを製造できる。

【0126】そして、本発明の第 8 の実施の形態では、書き込み時の電子注入効率を向上させることができる。このため、書き込み速度の高速化、書き込み時の印加電圧の低減化を図ることができる。

【0127】（第 9 の実施の形態）次に、本発明の第 9 の実施の形態について説明する。本発明の第 9 の実施の形態は、上記の第 8 の実施の形態において、図 71 の電荷蓄積層 4a と電荷蓄積層 4b 間に配置された第 2 の絶縁膜 14 を不要とし、2 つの電荷蓄積層 4a および 4b を一体化させた構成を採っている。図 83 は、本発明の第 9 の実施の形態に係る不揮発性半導体メモリのメモリセル構造を示す断面図である。図 83 に示すように、このメモリセル構造は、上記の第 8 の実施の形態の電荷蓄積層 4a、4b、および第 2 の絶縁膜 14 に換えて、電荷蓄積層 4f を、配置したものである。

【0128】次に、本発明の第 9 の実施の形態に係る不揮発性メモリのメモリセルの製造方法を図 84 乃至図 89 を用いて説明する。上記の第 8 の実施の形態と同様、まず図 84 に示すように、チャネル領域 25 が形成される領域を覆うフォトレジストパターン 27 を、 $p$  型半導体基板 1 上に形成する。そして、図 85 に示すように、たとえば RIE 法によって、 $p$  型半導体基板 1 をエッチングすることで、段差 26 を形成する。

【0129】次に、図 86 に示すように、 $p$  型半導体基板 1 全面に電荷蓄積能力の小さいシリコン窒化膜を堆積し、10nm 程度の第 1 ゲート絶縁膜 13 を形成する。電荷蓄積能力の小さいシリコン窒化膜の堆積はたとえば JVD 法で行う。第 1 ゲート絶縁膜 13 形成後、LPCVD 法により電荷蓄積能力の高いシリコン窒化膜 18 を 5~10nm 程度形成する。続いて JVD 法により電荷蓄積能力の小さいシリコン窒化膜を堆積し、10nm 程度の第 3 ゲート絶縁膜 15 を形成する。

【0130】次に、図 87 に示すように、 $p$  型半導体基板 1 全面に LPCVD 法により  $n$  型または  $p$  型不純物をドーブした 50~250nm 程度の多結晶シリコン膜を堆積した後、露光技術およびエッチング技術によりパターンニングし、ゲート電極 3 を形成する。続いて、ゲート電極 3 をマスクとしてソース領域およびドレイン領域を形成する領域の  $p$  型半導体基板 1 の表面の第 1 ゲート絶縁膜 13、シリコン窒化膜 18 および第 3 ゲート絶縁膜 15 を自己整合的にドライエッチングする。ここで、電荷蓄積層 4f が形成される。

【0131】次に、図 88 に示すように、 $p$  型半導体基板 1 全面に酸化膜 16 を形成した後、低不純物濃度の  $n$



$n^-$ 型拡散層 10 を形成する。 $n^-$ 型拡散層 10 はイオン注入技術によりゲート電極 3 をマスクとして  $n$  型不純物を注入し、その後の熱処理によって注入した不純物を活性化することで形成する。

【0132】次に、図 89 に示すように、ゲート電極 3 の側壁にサイドウォールスペーサ 9 を形成した後、高不純物濃度の  $n^+$  型拡散層 11 を形成する。 $n^+$  型拡散層 11 はイオン注入技術によりゲート電極 3 およびサイドウォールスペーサ 9 をマスクとして  $n$  型不純物を注入し、その後の熱処理によって注入した不純物を活性化することで形成する。

【0133】次に、 $p$  型半導体基板 1 の全面に CVD 法またはスパッタ法によってタングステン、チタン、コバルトなどの高融点金属膜を堆積し、続いて、 $p$  型半導体基板 1 を不活性雰囲気中で熱処理することによりゲート電極 3 および  $n^+$  型拡散層 11 それぞれの表面に高融点金属シリサイドで構成される導電層 12 を形成する。導電層 12 形成後、上記以外の領域に残った未反応の高融点金属を除去すれば、図 83 に示したメモリセル構造が完成する。

【0134】なお、図示はしないが、図 83 のメモリセル構造完成後、層間絶縁膜形成工程、コンタクトホール形成工程、配線形成工程、パッシベーション膜形成工程等の通常の CMOS 製造工程を順次経て、最終的な不揮発性メモリセルが完成する。

【0135】（第 10 の実施の形態）次に、本発明の第 10 の実施の形態について説明する。図 90 は、本発明の第 10 の実施の形態に係る不揮発性半導体メモリのメモリセル構造を示す断面図である。上記の第 8 および第 9 の実施の形態では、チャンネル領域を半導体基板に対して凸状態とすることで、チャンネル領域の両端に段差を設けたが、この第 10 の実施の形態では、チャンネル領域を半導体基板に対して凹状態とすることで、チャンネル領域に段差を設けるものである。そして、この第 10 の実施の形態も、メモリセルのチャンネル領域に段差や傾斜を設けることで、書き込み時における電子注入効率の向上を図るものである。

【0136】図 90 に示すように、このメモリセルは  $p$  型 MOS トランジスタで構成される。そして、この第 10 の実施の形態に係るメモリセルの構造では、 $n$  型半導体基板 19 の表面に第 1 ゲート絶縁膜 13 を介して第 2 ゲート絶縁膜 14 が設けられる。第 2 ゲート絶縁膜 14 の両端には電荷蓄積層 4 a、4 b が形成される。第 2 ゲート絶縁膜 14 および電荷蓄積層 4 a、4 b 上には第 3 ゲート絶縁膜 15 を介してゲート電極 3 が設けられる。ゲート電極 3 の側面には酸化膜 16 を介してサイドウォールスペーサ 9 が設けられ、このサイドウォールスペーサ 9 の下部の  $n$  型半導体基板 19 には、チャンネル領域に接する低不純物濃度の  $p^-$  型拡散層 20 と、この  $p^-$  型拡散層 20 の外側に位置する高不純物濃度の  $p^+$  型拡散

層 21 が設けられる。ゲート電極 3 および  $p^+$  型拡散層 21 それぞれの表面には導電層 12 が設けられる。

【0137】さらに、本発明の第 10 の実施の形態に係る不揮発性半導体メモリのメモリセル構造では、チャンネル領域 25 に段差 26 が設けられる。この段差 26 により、 $p$  型半導体基板 1 内の電子の散乱方向に電荷蓄積層 4 が位置することになる。したがって、書き込み時における電子の注入効率が向上する。

【0138】本発明の第 10 の実施の形態に係る不揮発性半導体メモリのメモリセルは、ソース領域およびドレイン領域を低不純物濃度の  $p^-$  型拡散層 20 と高不純物濃度の  $p^+$  型拡散層 21 で構成した LDD 構造を有している。そして、ゲート絶縁膜が第 1 ゲート絶縁膜 13

（下層）、第 2 ゲート絶縁膜 14 （中間層）および第 3 ゲート絶縁膜 15 （上層）からなる 3 層積層膜で構成され、第 2 ゲート絶縁膜 14 の両端部には電荷蓄積層 4 a および 4 b が形成される。この 2 つの電荷蓄積層 4 a および 4 b に電子を蓄積し、その蓄積状態は（1）電荷蓄積層 4 a、4 b のいずれも電子を蓄積していない状態、

（2）電荷蓄積層 4 a のみが電子を蓄積している状態、（3）電荷蓄積層 4 b のみが電子を蓄積している状態、（4）電荷蓄積層 4 a、4 b 共に電子を蓄積している状態、の 4 つの状態をとり得る。この 2 つの電荷蓄積層 4 a および 4 b に保持された電子の有無によって生じるしきい値電圧の変化分を記憶情報の“00”、“01”、“10”、“11”に対応させる。また、このメモリセル構造では電荷蓄積層 4 a、4 b はチャンネル領域端部の上方に位置するので、チャンネル領域中央部のしきい値電圧はチャンネル領域の不純物濃度のみで決まり、電荷蓄積層 4 a、4 b の電子の蓄積状態に依存しない。したがって、電荷蓄積層 4 a、4 b の電子の過不足による過消去

（over-erase）は防止され、それにより過消去に起因するリーク不良、プログラム不良、読み出し不良等は生じ得ない。また、ソース領域とドレイン領域間のリーク電流はゲート電圧のみで抑制でき、高信頼性の不揮発性半導体メモリを実現できる。電荷蓄積層 4 a および 4 b は CVD 法による電荷蓄積能力の高いシリコン窒化膜で構成すればよい。シリコン窒化膜の離散的な電荷捕獲準位に電子を蓄積することで、下部絶縁膜の膜質に影響を受け難い電荷保持特性を得ることができるからである。また、シリコン膜、多結晶シリコン膜で構成すれば安価に製造できる。さらに、第 1 ゲート絶縁膜 13、第 3 ゲート絶縁膜 15 をシリコン酸化膜（ $\text{SiO}_2$  膜）の 2 倍程度の誘電率を有するシリコン窒化膜（ $\text{Si}_3\text{N}_4$  膜）で構成すれば、シリコン酸化膜換算膜厚が 4 nm ~ 11 nm 程度の非常に薄いゲート絶縁膜を安定して実現できる。たとえばシリコン酸化膜換算膜厚が 5 nm のシリコン窒化膜の実質膜厚は 10 nm 程度なので、直接トンネル（DT）注入も誘起されない。したがって、電子の注入抽出動作時の電圧は低電圧化され、メモリセルの微細

化のみならず周辺高電圧動作素子の微細化も可能となる。

【0139】本発明の第10の実施の形態に係る不揮発性半導体メモリのメモリセルでは、ソース領域およびドレイン領域の耐圧向上の目的で $p^-$ 型拡散層20を設け、LDD構造を構成しているが、シングルドレイン構造、ダブルドレイン構造でソース領域およびドレイン領域を構成してもよい。第2ゲート絶縁膜14は電荷蓄積層4a-4b間のリークを防止するが、たとえばシリコン酸化膜で構成することができる。また、第2ゲート絶縁膜14に高誘電率を有する金属酸化膜を用いれば、チャンネル領域中央の電流伝達特性を向上できる。金属酸化膜としてはたとえば $TiO_2$ 、 $Ta_2O_5$ 、 $Al_2O_5$ 、PZT、SBTがある。

【0140】本発明の第10の実施の形態では、ソース側、ドレイン側の両方に、段差26を設けたが、どちらか一方のみに設けても良い。特に、1ビット分の情報を記憶するメモリでは、一方のみあれば十分である。

【0141】次に、本発明の第10の実施の形態に係る不揮発性メモリの動作について図91および図92を用いて説明する。図91は、書き込み動作を説明する不揮発性メモリの断面図である。図92は、消去動作を説明する不揮発性メモリの断面図である。図91に示すように、メモリセルの書き込み時には、ゲートGに5V程度、ドレインDに-5V程度をそれぞれ印加し、ソースSを浮遊電位とする。このように電圧を印加し、バンド間トンネル現象起因の電子にドレイン近傍の電界でエネルギーを与え、ドレイン領域側の電荷蓄積層4bに注入する。チャンネル領域25に段差26を設けたことで、電子の注入方向に電荷蓄積層4bが位置している。このために、電荷蓄積層4bに対する電子の注入効率が向上し、注入速度の高速化、印加電圧の低減化、を図ることができる。ソース領域側の電荷蓄積層4aに電子を注入する場合には、ドレインD、ソースSそれぞれに印加する電圧を上記の場合と入れ換えれば良い。一方、メモリセルの消去は、図92に示すように、ゲートGに負電圧(〜-5V)を印加し、ファウラー・ノルドハイム(FN)型トンネル電流を利用して電荷蓄積層4a、4bから電子を引き抜くことで行われる。また、ゲート電極3が複数のメモリセルで共有されている場合には、それらのメモリセルから同時に電子を引き抜くことができる。この場合、ソースS、ドレインDはn型半導体基板19と同電位とすればよい。また、p型半導体基板1の電位とは異なる正電圧をドレインDに印加し、ソースSを浮遊電位(Floating)とすれば、ドレインD側の電荷蓄積層4aのみから電子を引き抜くことも可能である。ソースS側の電荷蓄積層4bのみから電子を引き抜く場合にはソースSに正電圧を印加し、ドレインDを浮遊電位とすればよい。

【0142】また図示はしないが、メモリセルの読み出

しは、ソースSとドレインDの間を流れる読み出し電流を検知することで行われる。電荷蓄積層4a、4bの蓄積状態によってソース領域、ドレイン領域近傍の電流伝達特性(チャネルコンダクタンス)が変調することを利用するものである。ソースS、ドレインDのどちらにバイアスするかは電流伝達特性の変調が顕著に現れる方を選択すればよい。電荷蓄積層4aおよび4bの4つの蓄積状態によって4つの異なる電流伝達特性が得られ、それにより1つのセルで2ビット分の情報を記憶できる。

【0143】次に、本発明の第10の実施の形態に係る不揮発性メモリのメモリセルの製造方法を図93乃至図101を用いて説明する。まず図93に示すように、チャンネル領域25が形成される領域以外を覆うフォトレジストパターン27を、n型半導体基板19上に形成する。そして、図94に示すように、たとえばRIE法によって、n型半導体基板19をエッチングすることで、段差26を形成する。

【0144】次に、図95に示すように、n型半導体基板19全面に電荷蓄積能力の小さいシリコン窒化膜を堆積し、10nm程度の第1ゲート絶縁膜13を形成する。電荷蓄積能力の小さいシリコン窒化膜の堆積はたとえばJVD法で行う。第1ゲート絶縁膜13形成後、CVD法によりシリコン酸化膜を堆積し、5〜10nm程度の第2ゲート絶縁膜14を形成する。続いてJVD法により電荷蓄積能力の小さいシリコン窒化膜を堆積し、10nm程度の第3ゲート絶縁膜15を形成する。

【0145】次に、図96に示すように、n型半導体基板19全面にLPCVD法によりn型またはp型不純物をドーパした50〜250nm程度の多結晶シリコン膜を堆積した後、露光技術およびエッチング技術によりパターンニングし、ゲート電極3を形成する。続いて、ゲート電極3をマスクとしてソース領域およびドレイン領域を形成する領域のn型半導体基板19の表面の第1ゲート絶縁膜13、第2ゲート絶縁膜14および第3ゲート絶縁膜15を自己整合的にドライエッチングする。

【0146】次に、図97に示すように、電荷蓄積層形成のための空間17を形成する。この空間17は、第1ゲート酸化膜13および第3ゲート絶縁膜15よりも第2ゲート絶縁膜14のエッチング速度が大きいエッチング液を用いて第2ゲート絶縁膜14の端部を選択的にウェットエッチングすることで形成する。本発明の第10の実施の形態では、第1ゲート酸化膜13および第3ゲート絶縁膜15をシリコン窒化膜で構成し、第2ゲート絶縁膜14をシリコン酸化膜で構成しているので、エッチング液としてはたとえばフッ酸系を用いればよい。また、電荷蓄積層形成のための空間17は、エッチング液を用いたウェットエッチング法に替えてHFガスを含むガスを用いたプラズマドライエッチング法で形成してもよい。

【0147】次に、図98に示すように、n型半導体基

板 19 全面に LPCVD 法により電荷蓄積能力の高いシリコン窒化膜 18 を電荷蓄積層形成のための空間 17 が完全に埋め込まれるように堆積する。そして、図 99 に示すように、n 型半導体基板 19 全面に対して RIE による異方性エッチングを行い、電荷蓄積能力の高いシリコン窒化膜で構成された電荷蓄積層 4 a および 4 b を形成する。

【0148】次に、図 100 に示すように、n 型半導体基板 19 全面に酸化膜 16 を形成した後、低不純物濃度の  $p^-$  型拡散層 20 を形成する。 $p^-$  型拡散層 20 はイオン注入技術によりゲート電極 3 をマスクとして p 型不純物を注入し、その後の熱処理によって注入した不純物を活性化することで形成する。

【0149】次に、図 101 に示すように、ゲート電極 3 の側壁にサイドウォールスペーサ 9 を形成した後、高不純物濃度の  $p^+$  型拡散層 21 を形成する。 $p^+$  型拡散層 21 はイオン注入技術によりゲート電極 3 およびサイドウォールスペーサ 9 をマスクとして p 型不純物を注入し、その後の熱処理によって注入した不純物を活性化することで形成する。

【0150】次に、n 型半導体基板 19 の全面に CVD 法またはスパッタ法によってタングステン、チタン、コバルトなどの高融点金属膜を堆積し、続いて、n 型半導体基板 19 を不活性雰囲気中で熱処理することによりゲート電極 3 および  $p^+$  型拡散層 21 それぞれの表面に高融点金属シリサイドで構成される導電層 12 を形成する。導電層 12 形成後、上記以外の領域に残った未反応の高融点金属を除去すれば、図 90 に示したメモリセル構造が完成する。

【0151】なお、図示はしないが、図 90 のメモリセル構造完成後、層間絶縁膜形成工程、コンタクトホール形成工程、配線形成工程、パッシベーション膜形成工程等の通常の CMOS 製造工程を順次経て、最終的な不揮発性メモリセルが完成する。

【0152】このように、本発明の第 10 実施の形態では、電荷蓄積層 4 a および 4 b をゲート電極 3 の両端の下方に自己整合的に形成することができる。したがって、セルトランジスタのゲート長方向の微細化が可能となる。それにより、大容量、高密度の不揮発性半導体メモリを提供できる。また、ビット当りのセル面積は従来と比べてほぼ半減され、大幅に縮小された不揮発性半導体メモリを実現できる。

【0153】また、電荷蓄積層 4 a および 4 b のチャネル長方向の幅は第 1 ゲート絶縁膜 13 および第 3 ゲート絶縁膜 15 と第 2 ゲート絶縁膜 14 のエッチング速度差およびエッチング時間の調節によって容易に制御できる。それにより、電荷蓄積層 4 a および 4 b を対称に配置できる。そして、電荷蓄積層 4 a と 4 b は第 2 ゲート絶縁膜 14 によって電氣的に完全に分離されるので、電荷蓄積層 14 a と 14 b 間の相互作用は起こらない。さ

らに、電荷蓄積層 4 a および 4 b はソース領域、ドレイン領域、ゲート電極 3 およびチャネル領域からは第 1 の絶縁膜 13 および第 3 の絶縁膜 15、酸化膜 16 によって完全に絶縁されるので、電荷保持特性の優れた不揮発性半導体メモリを提供できる。電荷蓄積層 4 a および 4 b はゲート電極 3 の端部からチャネル領域方向に延在して形成され、電荷蓄積層 4 a および 4 b のうちのチャネル領域側の部分の電荷蓄積状態によってメモリセルの電流伝達特性ほぼ決まる。したがって、この部分のゲート長方向の長さを限界まで縮小すれば、より微細な不揮発性半導体メモリを提供できる。

【0154】さらに、セル構造は通常の CMOS 工程で容易に実現可能であるので、既存の製造ラインを使用し低コストで不揮発性半導体メモリを製造できる。

【0155】そして、本発明の第 10 の実施の形態では、書き込み時の電子注入効率を向上させることができる。このため、書き込み速度の高速化、書き込み時の印加電圧の低減化を図ることができる。

【0156】(第 11 の実施の形態) 次に、本発明の第 11 の実施の形態について説明する。本発明の第 11 の実施の形態は、上記の第 10 の実施の形態において、図 90 の電荷蓄積層 4 a と電荷蓄積層 4 b 間に配置された第 2 の絶縁膜 14 を不要とし、2 つの電荷蓄積層 4 a および 4 b を一体化させた構成を採っている。図 102 は、本発明の第 11 の実施の形態に係る不揮発性半導体メモリのメモリセル構造を示す断面図である。図 102 に示すように、このメモリセル構造は、上記の第 10 の実施の形態の電荷蓄積層 4 a、4 b、および第 2 の絶縁膜 14 に換えて、電荷蓄積層 4 f を、配置したものである。

【0157】次に、本発明の第 11 の実施の形態に係る不揮発性メモリのメモリセルの製造方法を図 103 乃至図 108 を用いて説明する。上記の第 10 の実施の形態と同様、まず図 103 に示すように、チャネル領域 25 が形成される領域以外を覆うフォトレジストパターン 27 を、n 型半導体基板 19 上に形成する。そして、図 104 に示すように、たとえば RIE 法によって、n 型半導体基板 19 をエッチングすることで、段差 26 を形成する。

【0158】次に、図 105 に示すように、n 型半導体基板 19 全面に電荷蓄積能力の小さいシリコン窒化膜を堆積し、10 nm 程度の第 1 ゲート絶縁膜 13 を形成する。電荷蓄積能力の小さいシリコン窒化膜の堆積はたとえば JVD 法で行う。第 1 ゲート絶縁膜 13 形成後、LPCVD 法により電荷蓄積能力の高いシリコン窒化膜 18 を 5~10 nm 程度形成する。続いて JVD 法により電荷蓄積能力の小さいシリコン窒化膜を堆積し、10 nm 程度の第 3 ゲート絶縁膜 15 を形成する。

【0159】次に、図 106 に示すように、n 型半導体基板 19 全面に LPCVD 法により n 型または p 型不純

物をドーピングした50～250nm程度の多結晶シリコン膜を堆積した後、露光技術およびエッチング技術によりパターンニングし、ゲート電極3を形成する。続いて、ゲート電極3をマスクとしてソース領域およびドレイン領域を形成する領域のn型半導体基板19の表面の第1ゲート絶縁膜13、シリコン窒化膜18および第3ゲート絶縁膜15を自己整合的にドライエッチングする。ここで、電荷蓄積層4fが形成される。

【0160】次に、図107に示すように、n型半導体基板19全面に酸化膜16を形成した後、低不純物濃度の $p^-$ 型拡散層20を形成する。 $p^-$ 型拡散層20はイオン注入技術によりゲート電極3をマスクとしてp型不純物を注入し、その後の熱処理によって注入した不純物を活性化することで形成する。

【0161】次に、図108に示すように、ゲート電極3の側壁にサイドウォールスペーサ9を形成した後、高不純物濃度の $p^+$ 型拡散層21を形成する。 $p^+$ 型拡散層21はイオン注入技術によりゲート電極3およびサイドウォールスペーサ9をマスクとしてp型不純物を注入し、その後の熱処理によって注入した不純物を活性化することで形成する。

【0162】次に、n型半導体基板19の全面にCVD法またはスパッタ法によってタングステン、チタン、コバルトなどの高融点金属膜を堆積し、続いて、n型半導体基板19を不活性雰囲気中で熱処理することによりゲート電極3および $p^+$ 型拡散層21それぞれの表面に高融点金属シリサイドで構成される導電層12を形成する。導電層12形成後、上記以外の領域に残った未反応の高融点金属を除去すれば、図102に示したメモリセル構造が完成する。

【0163】なお、図示はしないが、図102のメモリセル構造完成後、層間絶縁膜形成工程、コンタクトホール形成工程、配線形成工程、パッシベーション膜形成工程等の通常のCMOS製造工程を順次経て、最終的な不揮発性メモリセルが完成する。

【0164】（第12の実施の形態）次に、本発明の第12の実施の形態について説明する。図109は、本発明の第12の実施の形態に係る不揮発性半導体メモリのメモリセルの構造を示す断面図である。上記の第10の実施の形態では、ゲート電極3のパターニングに露光技術およびエッチング技術を用いたが、この第12の実施の形態では、ゲート電極3のパターニングに化学的機械的研磨法を用いる例である。

【0165】次に、本発明の第12の実施の形態に係る不揮発性メモリのメモリセルの製造方法を図110乃至図118を用いて説明する。まず図110に示すように、チャネル領域25が形成される領域以外を覆うフォトレジストパターン27を、n型半導体基板19上に形成する。そして、図111に示すように、たとえばRIE法によって、n型半導体基板19をエッチングするこ

とで、段差26を形成する。

【0166】次に、図112に示すように、n型半導体基板19全面に電荷蓄積能力の小さいシリコン窒化膜を堆積し、10nm程度の第1ゲート絶縁膜13を形成する。電荷蓄積能力の小さいシリコン窒化膜の堆積はたとえばJVD法で行う。第1ゲート絶縁膜13形成後、CVD法によりシリコン酸化膜を堆積し、5～10nm程度の第2ゲート絶縁膜14を形成する。続いてJVD法により電荷蓄積能力の小さいシリコン窒化膜を堆積し、10nm程度の第3ゲート絶縁膜15を形成する。さらに、n型半導体基板19全面にLPCVD法によりn型またはp型不純物をドーピングした50～500nm程度の多結晶シリコン膜28を堆積する。

【0167】次に、図113に示すように、化学的機械的研磨方法によって、多結晶シリコン膜19の埋め込みを行なうことで、ゲート電極3を形成する。なお、通常、n型半導体基板19上に残存する第1のゲート絶縁膜13、第2のゲート絶縁膜14および第3のゲート絶縁膜15を、たとえばウェットエッチングにより除去される。

【0168】次に、図114に示すように、電荷蓄積層形成のための空間17を形成する。この空間17は、第1ゲート酸化膜13および第3ゲート絶縁膜15よりも第2ゲート絶縁膜14のエッチング速度が大きいエッチング液を用いて第2ゲート絶縁膜14の端部を選択的にウェットエッチングすることで形成する。本発明の第12の実施の形態では、第1ゲート酸化膜13および第3ゲート絶縁膜15をシリコン窒化膜で構成し、第2ゲート絶縁膜14をシリコン酸化膜で構成しているので、エッチング液としてはたとえばフッ酸系を用いればよい。また、電荷蓄積層形成のための空間17は、エッチング液を用いたウェットエッチング法に替えてHFガスを含むガスをを用いたプラズマドライエッチング法で形成してもよい。

【0169】次に、図115に示すように、n型半導体基板19全面にLPCVD法により電荷蓄積能力の高いシリコン窒化膜18を電荷蓄積層形成のための空間17が完全に埋め込まれるように堆積する。そして、図116に示すように、n型半導体基板19全面に対してRIEによる異方性エッチングを行い、電荷蓄積能力の高いシリコン窒化膜で構成された電荷蓄積層4aおよび4bを形成する。

【0170】次に、図117に示すように、n型半導体基板19全面に酸化膜16を形成した後、低不純物濃度の $p^-$ 型拡散層20を形成する。 $p^-$ 型拡散層20はイオン注入技術によりゲート電極3をマスクとしてp型不純物を注入し、その後の熱処理によって注入した不純物を活性化することで形成する。

【0171】次に、図118に示すように、ゲート電極3の側壁にサイドウォールスペーサ9を形成した後、高

不純物濃度の  $p^+$  型拡散層 21 を形成する。 $p^+$  型拡散層 21 はイオン注入技術によりゲート電極 3 およびサイドウォールスペーサ 9 をマスクとして  $p$  型不純物を注入し、その後の熱処理によって注入した不純物を活性化することで形成する。

【0172】次に、 $n$  型半導体基板 19 の全面に CVD 法またはスパッタ法によってタングステン、チタン、コバルトなどの高融点金属膜を堆積し、続いて、 $n$  型半導体基板 19 を不活性雰囲気中で熱処理することによりゲート電極 3 および  $p^+$  型拡散層 21 それぞれの表面に高融点金属シリサイドで構成される導電層 12 を形成する。導電層 12 形成後、上記以外の領域に残った未反応の高融点金属を除去すれば、図 109 に示したメモリセル構造が完成する。

【0173】なお、図示はしないが、図 109 のメモリセル構造完成後、層間絶縁膜形成工程、コンタクトホール形成工程、配線形成工程、パッシベーション膜形成工程等の通常の CMOS 製造工程を順次経て、最終的な不揮発性メモリセルが完成する。

【0174】（第 13 の実施の形態）次に、本発明の第 13 の実施の形態について説明する。上記の第 1 乃至第 12 の実施の形態では、メモリセル以外のトランジスタの高速化に対する十分な検討はなされていなかった。一方、高速 CMOS トランジスタの構造として、ゲート電極とソース・ドレイン拡散層間に凹上のノッチを形成することで、ゲート電極と拡散層間の容量を低減し、ロジックゲートを高速化する試みがなされている（T. Ghani et al., IEDM99, p415）。この第 13 の実施の形態は、この構造を不揮発性半導体メモリに利用することで、メモリ機能を有しない通常のトランジスタと不揮発性半導体メモリとを混載する半導体装置の大幅な高速化を可能とするものである。

【0175】図 119 は、本発明の第 13 の実施の形態に係る不揮発性半導体メモリのメモリセル構造を示す断面図である。このメモリセルは  $n$  型 MOS トランジスタで構成される。本発明の第 13 の実施の形態に係る不揮発性半導体メモリのメモリセル構造では、 $p$  型半導体基板 1 の表面に第 1 ゲート絶縁膜 13 を介してゲート電極 3 が設けられる。ゲート電極 3 の両端には凹部が設けられ、各凹部内には、電荷蓄積層 4（4a、4b）が形成される。電荷蓄積層 4 とゲート電極 3 との間には、酸化膜 30 が形成されている。ゲート電極 3 の側面には酸化膜 16 を介してサイドウォールスペーサ 9 が設けられ、このサイドウォールスペーサ 9 の下部の  $p$  型半導体基板 1 の主面には、チャンネル領域に接する低不純物濃度の  $n^-$  型拡散層 10 と、この  $n^-$  型拡散層 10 の外側に位置する高不純物濃度の  $n^+$  型拡散層 11 が設けられる。ゲート電極 3 および  $n^+$  型拡散層 11 それぞれの表面には導電層 12 が設けられる。

【0176】本発明の第 13 の実施の形態に係る不揮発

性メモリのメモリセルは、ソース領域およびドレイン領域を低不純物濃度の  $n^-$  型拡散層 10 と高不純物濃度の  $n^+$  型拡散層 11 で構成した LDD 構造を有している。そして、ゲート電極 3 の両端部には電荷蓄積層 4（4a、4b）が形成される。この 2 つの電荷蓄積層 4a および 4b に電子を蓄積し、その蓄積状態は（1）電荷蓄積層 4a、4b のいずれも電子を蓄積していない状態、（2）電荷蓄積層 4a のみが電子を蓄積している状態、（3）電荷蓄積層 4b のみが電子を蓄積している状態、（4）電荷蓄積層 4a、4b 共に電子を蓄積している状態、の 4 つの状態をとり得る。この 2 つの電荷蓄積層 4a および 4b に保持された電子の有無によって生じるしきい値電圧の変化分を記憶情報の“00”、“01”、“10”、“11”に対応させる。また、このメモリセル構造では電荷蓄積層 4 はチャンネル領域端部の上方に位置するので、チャンネル領域中央部のしきい値電圧はチャンネル領域の不純物濃度のみで決まり、電荷蓄積層 4 の電子の蓄積状態に依存しない。したがって、電荷蓄積層 4 の電子の過不足による過消去（over-erase）は防止され、それにより過消去に起因するリーク不良、プログラム不良、読み出し不良等は生じ得ない。また、ソース領域とドレイン領域間のリーク電流はゲート電圧のみで抑制でき、高信頼性の不揮発性メモリを実現できる。電荷蓄積層 4 は CVD 法による電荷蓄積能力の高いシリコン窒化膜で構成すればよい。シリコン窒化膜の離散的な電荷捕獲準位に電子を蓄積することで、下部絶縁膜の膜質に影響を受け難い電荷保持特性を得ることができるからである。また、シリコン膜、多結晶シリコン膜で構成すれば安価に製造できる。さらに、第 1 ゲート絶縁膜 13 をシリコン酸化膜（ $SiO_2$  膜）の 2 倍程度の誘電率を有するシリコン窒化膜（ $Si_3N_4$  膜）で構成すれば、シリコン酸化膜換算膜厚が 4 nm ～ 11 nm 程度の非常に薄いゲート絶縁膜を安定して実現できる。たとえばシリコン酸化膜換算膜厚が 5 nm のシリコン窒化膜の実質膜厚は 10 nm 程度なので、直接トンネル（DT）注入も誘起されない。したがって、電子の注入抽出動作時の電圧は低電圧化され、メモリセルの微細化のみならず周辺高電圧動作素子の微細化も可能となる。

【0177】本発明の第 13 の実施の形態に係る不揮発性メモリのメモリセルでは、ソース領域およびドレイン領域の耐圧向上の目的で  $n^-$  型拡散層 10 を設け、LDD 構造を構成しているが、シングルドレイン構造、ダブルドレイン構造でソース領域およびドレイン領域を構成してもよい。

【0178】次に、本発明の第 13 の実施の形態に係る不揮発性メモリの動作について図 120 および図 121 を用いて説明する。図 120 は、書き込み動作を説明する不揮発性メモリの断面図である。図 121 は、消去動作を説明する不揮発性メモリの断面図である。図 120 および図 121 のメモリセルは  $n$  型 MOS トランジスタ



で構成される。図 120 に示すように、メモリセルの書き込み時には、ゲート G に 6〜8 V 程度、ドレイン D に 4〜5 V 程度をそれぞれ印加し、ソース S を接地する。このように電圧を印加し、チャネル熱電子 (CHE) で電子をドレイン領域側の電荷蓄積層 4 b に注入する。ソース領域側の電荷蓄積層 4 b に電子を注入する場合には、ドレイン D、ソース S それぞれに印加する電圧を上記と入れ替えればよい。一方、メモリセルの消去は、図 121 に示すように、ゲート G に負電圧 (〜−5 V) を印加し、ファウラー・ノルドハイム (FN) 型トンネル電流を利用して電荷蓄積層 4 a、4 b から電子を引き抜くことで行われる。また、ゲート G が複数のメモリセルで共有されている場合には、それらのメモリセルから同時に電子を引き抜くことができる。この場合、ソース S、ドレイン D は p 型半導体基板 1 と同電位とすればよい。また、p 型半導体基板 1 の電位とは異なる正電圧をドレイン電極に印加し、ソース電極を浮遊電位 (Floating) とすれば、ドレイン電極側の電荷蓄積層 4 b のみから電子を引き抜くことも可能である。ソース電極側の電荷蓄積層 4 a のみから電子を引き抜く場合にはソース電極に正電圧を印加し、ドレイン電極を浮遊電位とすればよい。

【0179】また図示はしないが、メモリセルの読み出しは、ソース S とドレイン D の間を流れる読み出し電流を検知することで行われる。電荷蓄積層 4 a、4 b の蓄積状態によってソース領域、ドレイン領域近傍の電流伝達特性 (チャネルコンダクタンス) が変調することを利用するものである。ソース S、ドレイン D のどちらにバイアスするかは電流伝達特性の変調が顕著に現れる方を選択すればよい。電荷蓄積層 4 a および 4 b の 4 つの蓄積状態によって 4 つの異なる電流伝達特性が得られ、それにより 1 つのセルで 2 ビット分の情報を記憶できる。

【0180】次に、p 型 MOS トランジスタで構成される、本発明の第 13 の実施の形態に係る不揮発性メモリの動作について図 122 および図 123 を用いて説明する。図 122 は、書き込み動作を説明する不揮発性メモリの断面図である。図 123 は、消去動作を説明する不揮発性メモリの断面図である。図 122 および図 123 のメモリセルは p 型 MOS トランジスタで構成される。図 122 に示すように、メモリセルの書き込み時には、ゲート G に 5 V 程度、ドレイン D に −5 V 程度をそれぞれ印加し、ソース S を浮遊電位とする。このように電圧を印加し、バンド・バンド間トンネル現象起因の電子にドレイン領域近傍の電界でエネルギーを与え、ドレイン領域側の電荷蓄積層 4 b に電子を注入する。ソース領域側の電荷蓄積層 4 a に電子を注入する場合には、ドレイン D、ソース S それぞれに印加する電圧を上記と入れ替えればよい。一方、メモリセルの消去は、図 123 に示すように、ゲート G に負電圧 (〜−5 V) を印加し、FN 電流を利用して電荷蓄積層 4 a、4 b から電子を引き

抜くことで行われる。また、ゲート G が複数のメモリセルで共有されている場合には、それらのメモリセルから同時に電子を引き抜くことができる。この場合、ソース S およびドレイン D は n 型半導体基板 19 と同電位あるいは浮遊電位とする。

【0181】また図示はしないが、メモリセルの読み出しは、ソース S とドレイン D の間を流れる読み出し電流を検知することで行われる。電荷蓄積層 4 a、4 b の蓄積状態によってソース領域、ドレイン領域近傍の電流伝達特性 (チャネルコンダクタンス) が変調することを利用するものである。ソース S、ドレイン D のどちらにバイアスするかは電流伝達特性の変調が顕著に現れる方を選択すればよい。電荷蓄積層 4 a および 4 b の 4 つの蓄積状態によって 4 つの異なる電流伝達特性が得られ、それにより 1 つのセルで 2 ビット分の情報を記憶できる。

【0182】本発明の第 13 の実施の形態では、図 124 に示すように、メモリ機能を有しない通常の MOS トランジスタも実現可能である。なぜならば、この MOS トランジスタでは、電荷蓄積層 4 は、ソース・ドレイン領域 10、11 上のみに配置され、チャネル領域上には配置されていない。このため、この MOS トランジスタの伝導特性は、電荷蓄積層 4 の電荷の保持状態に、何ら影響を受けることはないからである。さらに、ゲート電極 3 の凹部の存在によって、ゲート・ソース・ドレイン間の寄生容量が低減され、MOS トランジスタの高速動作が可能となるという有利な点も有している。

【0183】(第 14 の実施の形態) 次に、本発明の第 14 の実施の形態について説明する。この第 14 の実施の形態は、上記の第 13 の実施の形態において、電荷蓄積層 4 とサイドウォールスペーサ 9 を一体化させた構成となっている。図 125 は、本発明の第 14 の実施の形態に係る不揮発性半導体メモリのメモリセル構造を示す断面図である。このメモリセルは n 型 MOS トランジスタで構成される。本発明の第 14 の実施の形態に係る不揮発性半導体メモリのメモリセル構造では、p 型半導体基板 1 の表面に第 1 ゲート絶縁膜 13 を介してゲート電極 3 が設けられる。ゲート電極 3 の両端には凹部が設けられ、各凹部内には、電荷蓄積層 4 (4 a、4 b) が形成される。電荷蓄積層 4 とゲート電極 3 との間には、酸化膜 30 が形成されている。ゲート電極 3 の側面には酸化膜 16 を介してサイドウォールスペーサ 9 が設けられ、このサイドウォールスペーサ 9 の一部が電荷蓄積層 4 を構成する。サイドウォールスペーサ 9 の下部の p 型半導体基板 1 の主面には、チャネル領域に接する低不純物濃度の  $n^-$  型拡散層 10 と、この  $n^-$  型拡散層 10 の外側に位置する高不純物濃度の  $n^+$  型拡散層 11 が設けられる。ゲート電極 3 および  $n^+$  型拡散層 11 それぞれの表面には導電層 12 が設けられる。

【0184】本発明の第 14 の実施の形態では、サイドウォールスペーサ 9 および電荷蓄積層 4 は、CVD 法に



よる電荷蓄積能力の高いシリコン窒化膜で構成すればよい。シリコン窒化膜の離散的な電荷捕獲準位に電子を蓄積することで、下部絶縁膜の膜質に影響を受け難い電荷保持特性を得ることができるからである。また、シリコン膜、多結晶シリコン膜で構成すれば安価に製造できる。

【0185】本発明の第14の実施の形態では、上記の第13の実施の形態と同様、図126に示すような、通常のMOSトランジスタも実現できる。

#### 【0186】

【発明の効果】本発明によれば、簡単なセル構造で複数ビット分の情報を記憶することができる不揮発性半導体記憶装置の構造を実現できる。

【0187】本発明によれば、簡単な製造プロセスで複数ビット分の情報を記憶する不揮発性半導体記憶装置を製造する不揮発性半導体記憶装置の製造方法を実現できる。

【0188】本発明によれば、簡単なセル構造で電氣的に書き込み消去可能な不揮発性メモリと高速書き込み読み出し可能な揮発性メモリを混載した半導体記憶装置の構造を実現できる。

【0189】本発明によれば、簡単な製造プロセスで電氣的に書き込み消去可能な不揮発性メモリと高速書き込み読み出し可能な揮発性メモリを混載した半導体記憶装置の製造方法を実現できる。

#### 【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係る不揮発性半導体メモリのメモリセル構造を示す断面図である。

【図2】本発明の第1の実施の形態に係る不揮発性半導体メモリの動作を説明する断面図である。

【図3】本発明の第1の実施の形態に係る不揮発性半導体メモリの動作を説明する断面図である。

【図4】本発明の第1の実施の形態に係る不揮発性半導体メモリの動作を説明する断面図である。

【図5】本発明の第1の実施の形態に係る不揮発性半導体メモリのメモリセルの製造工程を示す断面図である。

【図6】本発明の第1の実施の形態に係る不揮発性半導体メモリのメモリセルの製造工程を示す断面図である。

【図7】本発明の第1の実施の形態に係る不揮発性半導体メモリのメモリセルの製造工程を示す断面図である。

【図8】本発明の第1の実施の形態に係る不揮発性半導体メモリのメモリセルの製造工程を示す断面図である。

【図9】本発明の第1の実施の形態に係る不揮発性半導体メモリのメモリセルの製造工程を示す断面図である。

【図10】本発明の第2の実施の形態に係る不揮発性半導体メモリのメモリセル構造を示す断面図である。

【図11】本発明の第2の実施の形態に係る不揮発性半導体メモリの動作を説明する断面図である。

【図12】本発明の第2の実施の形態に係る不揮発性半導体メモリの動作を説明する断面図である。

【図13】本発明の第2の実施の形態に係る不揮発性半導体メモリのメモリセルの製造工程を示す断面図である。

【図14】本発明の第2の実施の形態に係る不揮発性半導体メモリのメモリセルの製造工程を示す断面図である。

【図15】本発明の第2の実施の形態に係る不揮発性半導体メモリのメモリセルの製造工程を示す断面図である。

10 【図16】本発明の第2の実施の形態に係る不揮発性半導体メモリのメモリセルの製造工程を示す断面図である。

【図17】本発明の第2の実施の形態に係る不揮発性半導体メモリのメモリセルの製造工程を示す断面図である。

【図18】本発明の第2の実施の形態に係る不揮発性半導体メモリのメモリセルの製造工程を示す断面図である。

20 【図19】本発明の第2の実施の形態に係る不揮発性半導体メモリのメモリセルの製造工程を示す断面図である。

【図20】本発明の第4の実施の形態に係る不揮発性半導体メモリのメモリセル構造を示す断面図である。

【図21】本発明の第4の実施の形態に係る不揮発性半導体メモリの動作を説明する断面図である。

【図22】本発明の第4の実施の形態に係る不揮発性半導体メモリの動作を説明する断面図である。

30 【図23】本発明の第5の実施の形態に係る不揮発性メモリの周辺回路を構成するMOSトランジスタの構造を示す断面図である。

【図24】図23のMOSトランジスタの製造工程を示す断面図である。

【図25】図23のMOSトランジスタの製造工程を示す断面図である。

【図26】図23のMOSトランジスタの製造工程を示す断面図である。

【図27】図23のMOSトランジスタの製造工程を示す断面図である。

40 【図28】図23のMOSトランジスタの製造工程を示す断面図である。

【図29】図23のMOSトランジスタの製造工程を示す断面図である。

【図30】図23のMOSトランジスタの製造工程を示す断面図である。

【図31】本発明の第6の実施の形態に係る半導体記憶装置に搭載された不揮発性半導体メモリのメモリセル構造を示す断面図である。

50 【図32】本発明の第6の実施の形態に係る半導体記憶装置に搭載された揮発性半導体メモリのメモリセル構造を示す断面図である。





ある。

【図109】本発明の第12の実施の形態に係る不揮発性半導体メモリのメモリセル構造を示す断面図である。

【図110】本発明の第12の実施の形態に係る不揮発性半導体メモリのメモリセルの製造工程を示す断面図である。

【図111】本発明の第12の実施の形態に係る不揮発性半導体メモリのメモリセルの製造工程を示す断面図である。

【図112】本発明の第12の実施の形態に係る不揮発性半導体メモリのメモリセルの製造工程を示す断面図である。

【図113】本発明の第12の実施の形態に係る不揮発性半導体メモリのメモリセルの製造工程を示す断面図である。

【図114】本発明の第12の実施の形態に係る不揮発性半導体メモリのメモリセルの製造工程を示す断面図である。

【図115】本発明の第12の実施の形態に係る不揮発性半導体メモリのメモリセルの製造工程を示す断面図である。

【図116】本発明の第12の実施の形態に係る不揮発性半導体メモリのメモリセルの製造工程を示す断面図である。

【図117】本発明の第12の実施の形態に係る不揮発性半導体メモリのメモリセルの製造工程を示す断面図である。

【図118】本発明の第12の実施の形態に係る不揮発性半導体メモリのメモリセルの製造工程を示す断面図である。

【図119】本発明の第13の実施の形態に係る不揮発性半導体メモリのメモリセル構造を示す断面図である。

【図120】n型MOSトランジスタで構成された、本発明の第13の実施の形態に係る不揮発性半導体メモリの動作を説明する断面図である。

【図121】n型MOSトランジスタで構成された、本発明の第13の実施の形態に係る不揮発性半導体メモリの動作を説明する断面図である。

【図122】p型MOSトランジスタで構成された、本発明の第13の実施の形態に係る不揮発性半導体メモリの動作を説明する断面図である。

【図123】p型MOSトランジスタで構成された、本発明の第13の実施の形態に係る不揮発性半導体メモリの動作を説明する断面図である。

【図124】本発明の第13の実施の形態に係る不揮発性半導体メモリのメモリセルと同一のゲート構造を有するMOSトランジスタの構造を示す断面図である。

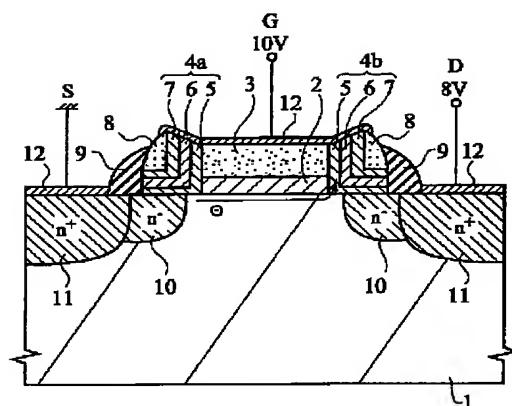
【図125】本発明の第14の実施の形態に係る不揮発性半導体メモリのメモリセル構造を示す断面図である。

【図126】本発明の第14の実施の形態に係る不揮発性半導体メモリのメモリセルと同一のゲート構造を有するMOSトランジスタの構造を示す断面図である。

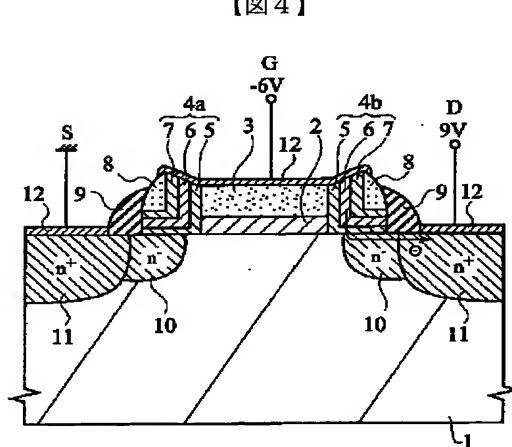
#### 【符号の説明】

- 1 p型半導体基板
- 2 ゲート絶縁膜
- 3 ゲート電極 (第1ゲート電極)
- 4 電荷蓄積層
- 5 第1酸化膜
- 6 窒化膜
- 7 第2酸化膜
- 8 第2ゲート電極
- 9 サイドウォールスペーサ
- 10 n<sup>-</sup>型拡散層
- 11 n<sup>+</sup>型拡散層
- 12 導電層
- 13 第1ゲート絶縁膜
- 14 第2ゲート絶縁膜
- 15 第3ゲート絶縁膜
- 16 酸化膜
- 17 電荷蓄積層形成のための空間
- 18 シリコン窒化膜
- 19 n型半導体基板
- 20 P<sup>-</sup>型拡散層
- 21 p<sup>+</sup>型拡散層
- 22, 27 フォトリソグ (フォトリソグパターン)
- 23 トンネル絶縁膜
- 24 第4ゲート絶縁膜
- 25 チャネル領域
- 26 段差
- 28 多結晶シリコン膜

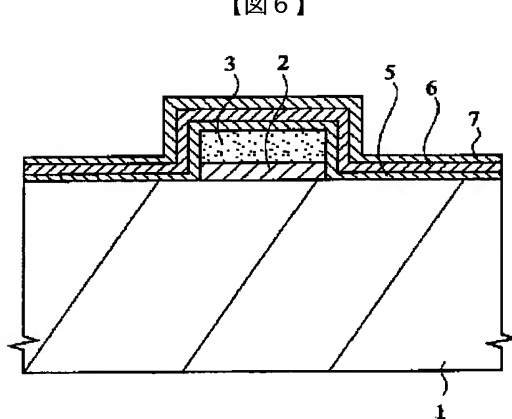
【図2】



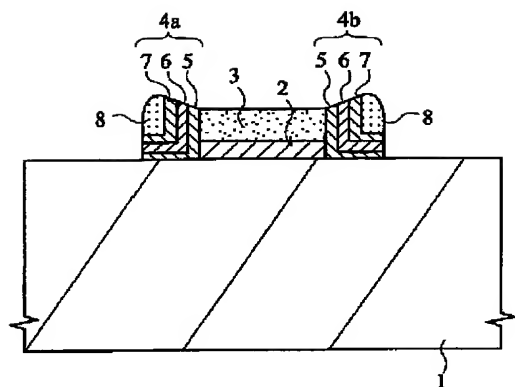
【図4】



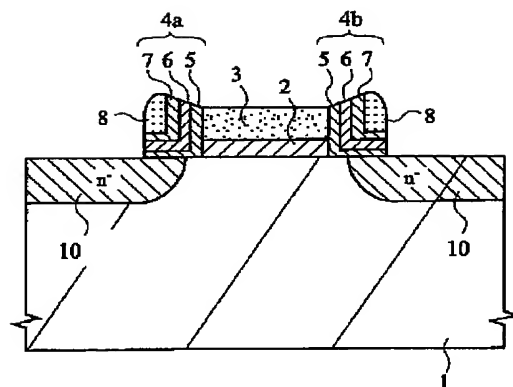
【図 6】



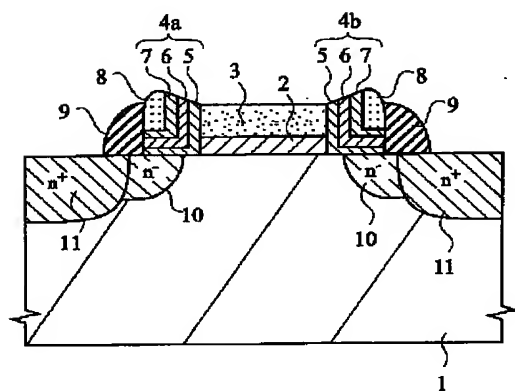
【図 7】



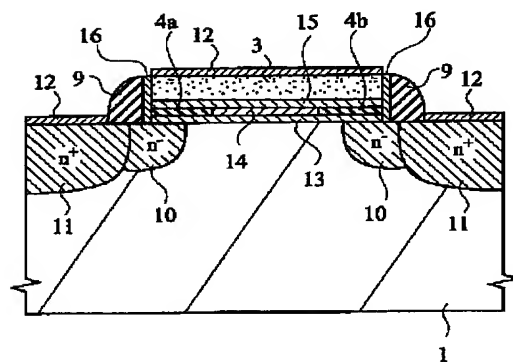
【図 8】



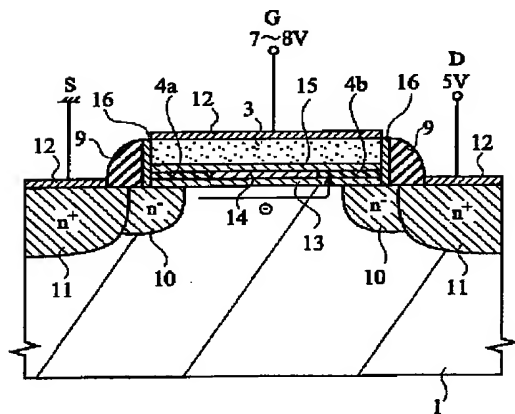
【図 9】



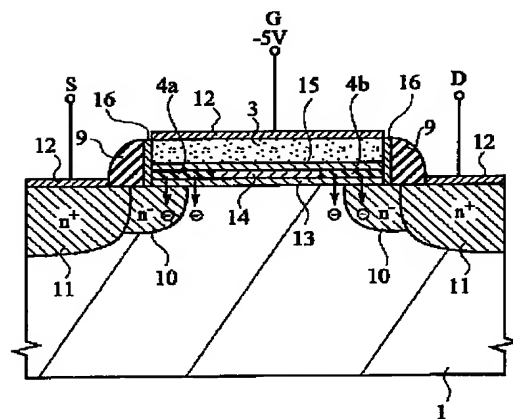
【図 10】



【図 11】

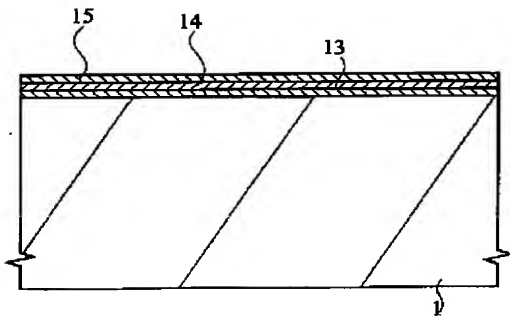


【図 12】

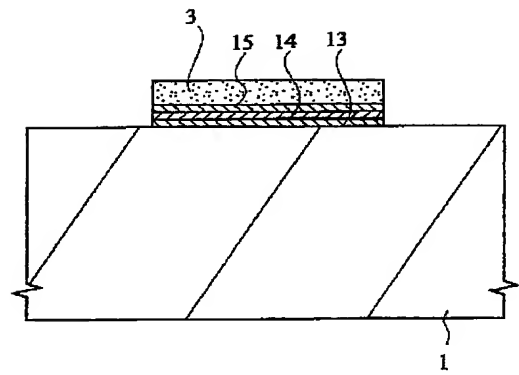




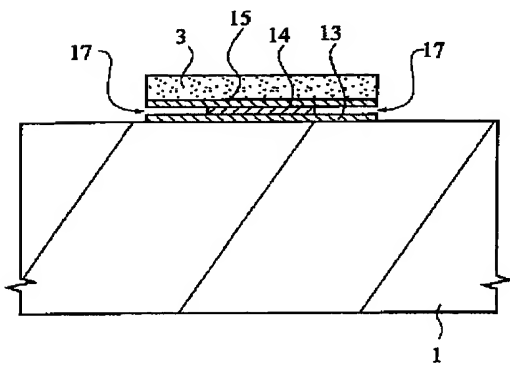
【図 13】



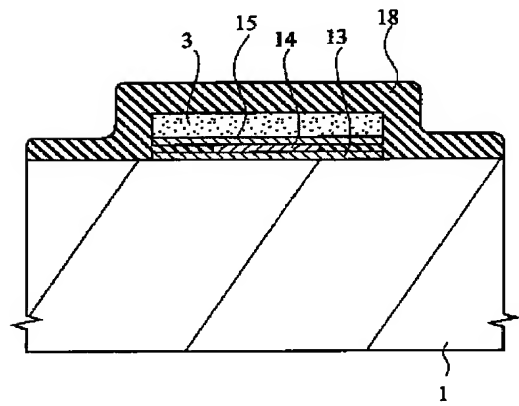
【図 14】



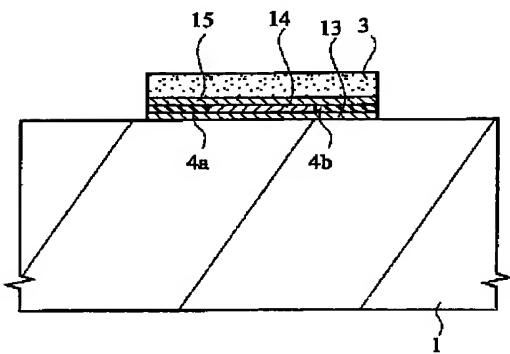
【図 15】



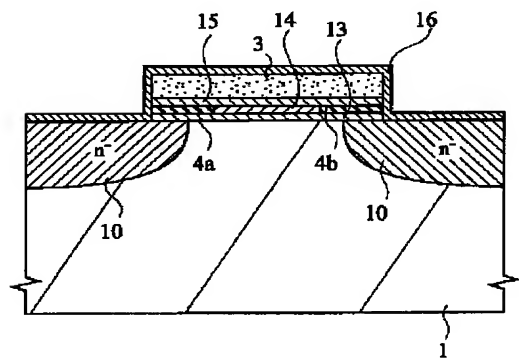
【図 16】



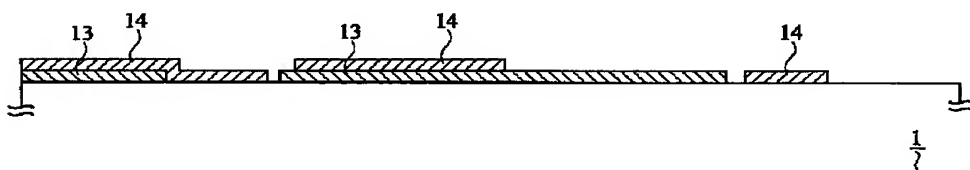
【図 17】



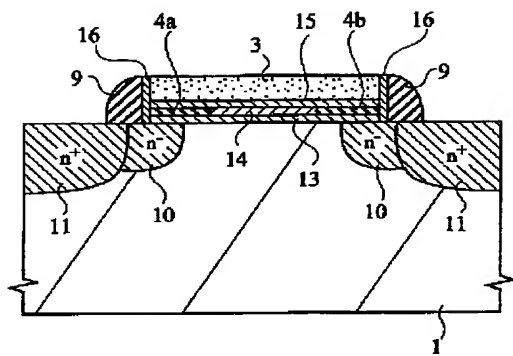
【図 18】



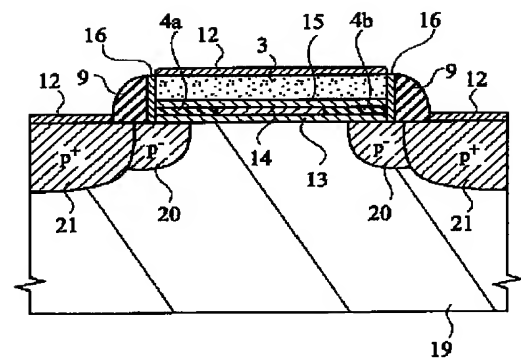
【図 25】



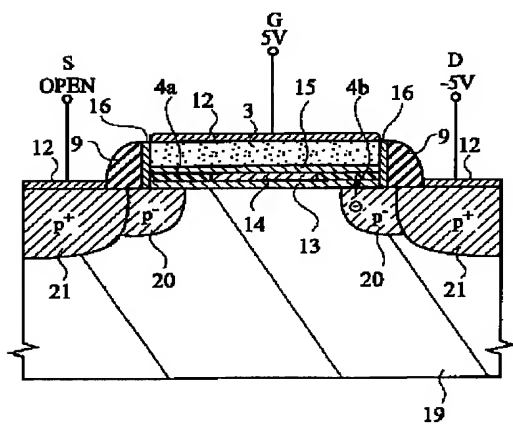
【図19】



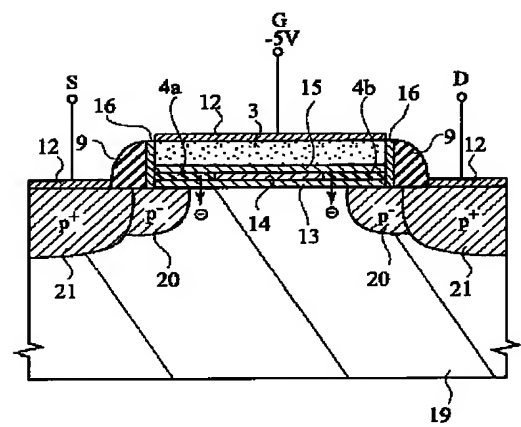
【図20】



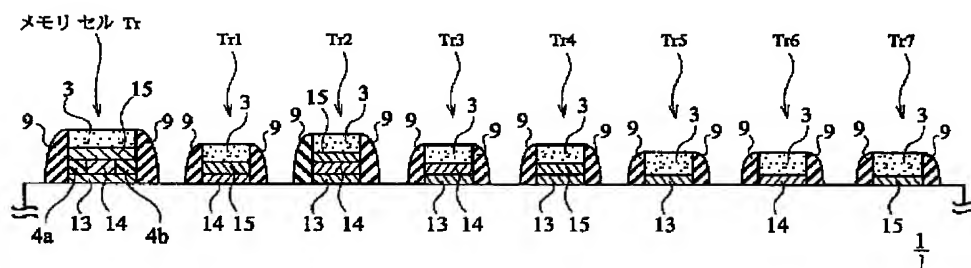
【図21】



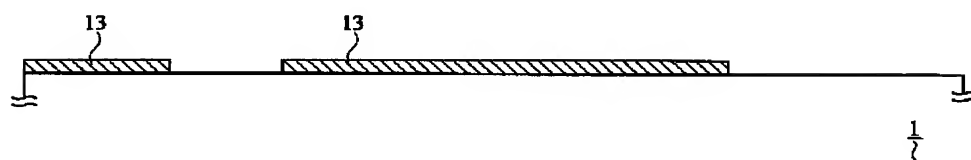
【図22】



【図23】

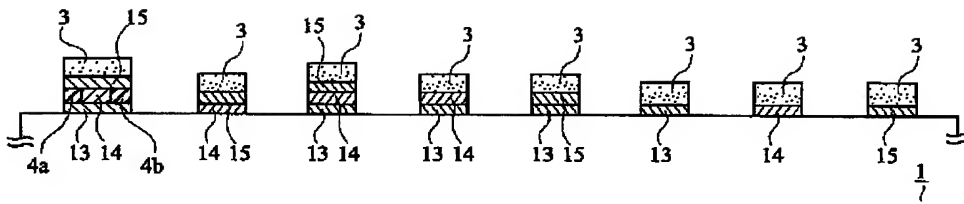


【図24】

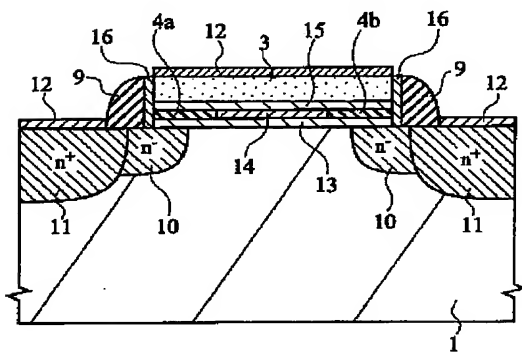




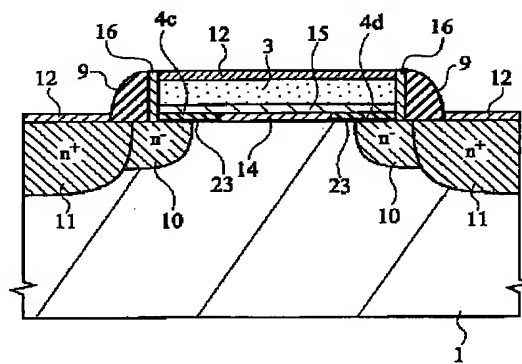
【図 30】



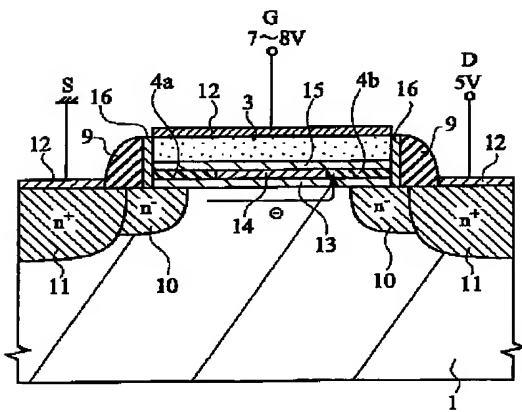
【図 31】



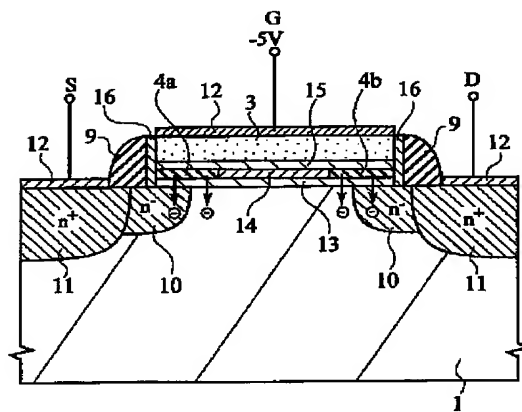
【図 32】



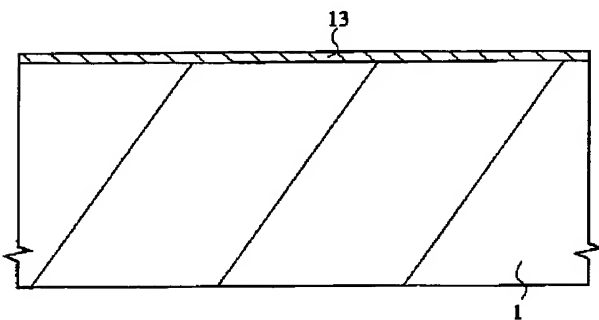
【図 33】



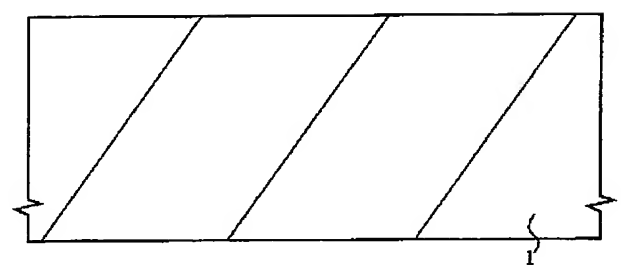
【図 34】



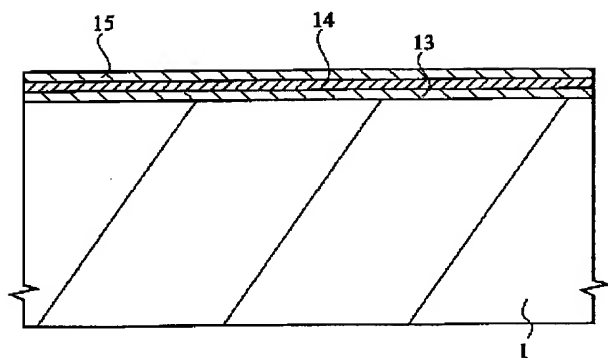
【図 35】



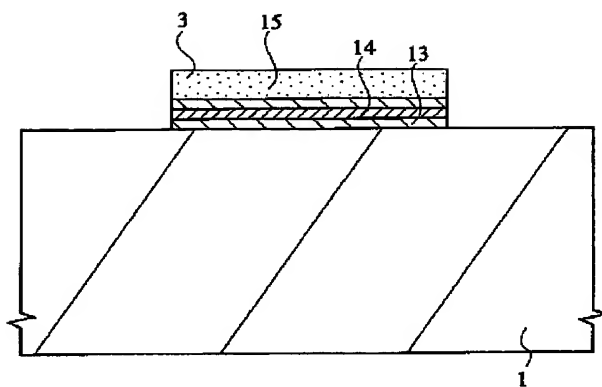
【図 44】



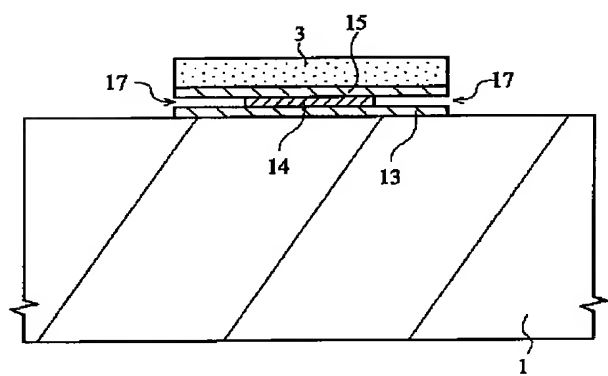
【図 36】



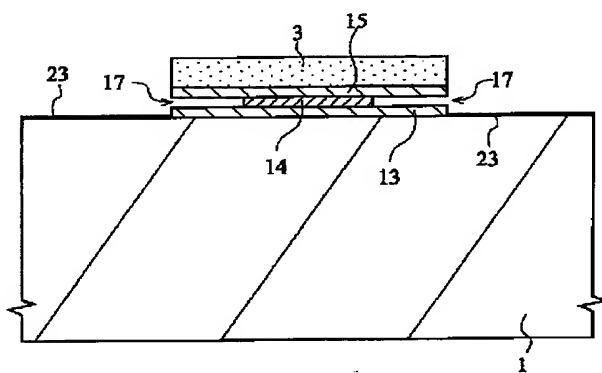
【図 37】



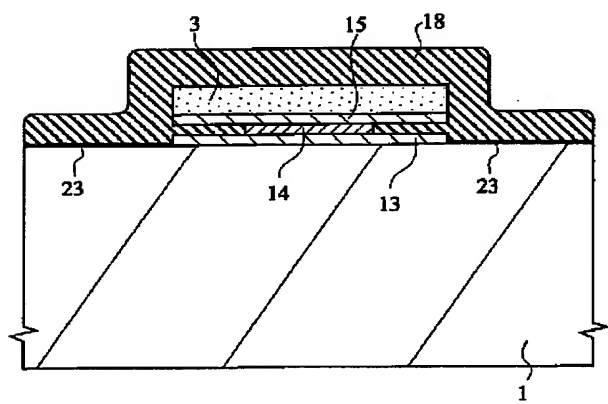
【図 38】



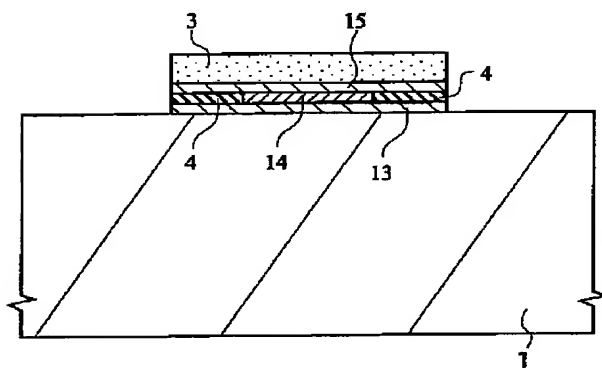
【図 39】



【図 40】

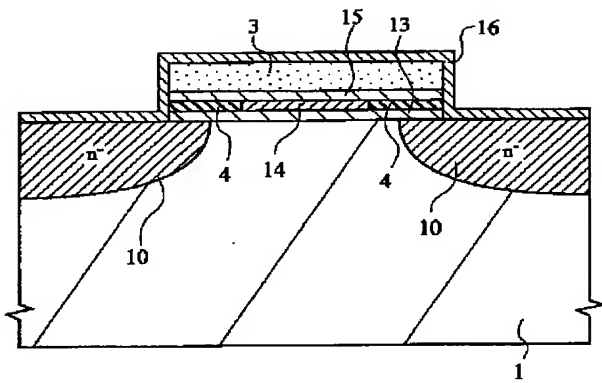


【図 41】

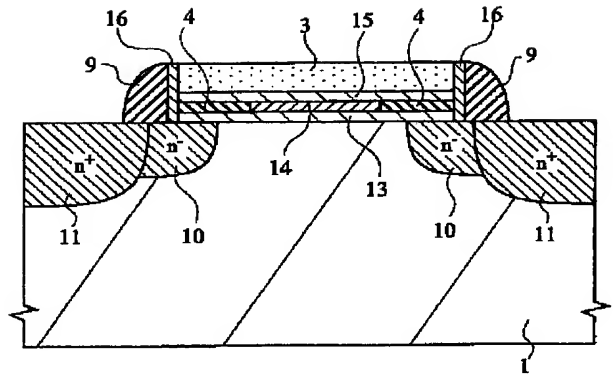




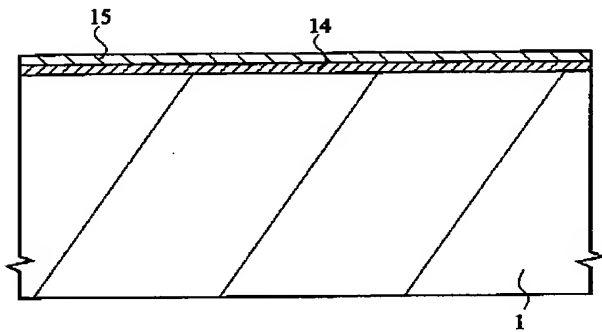
【図42】



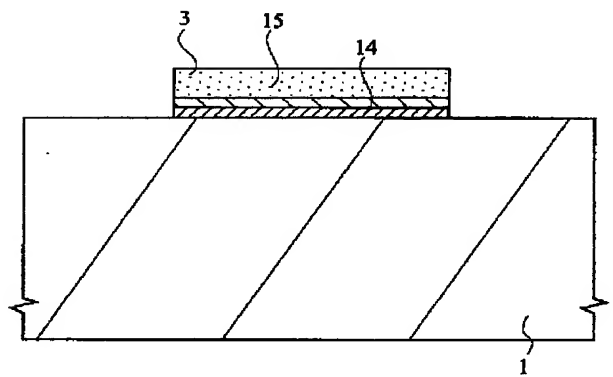
【図43】



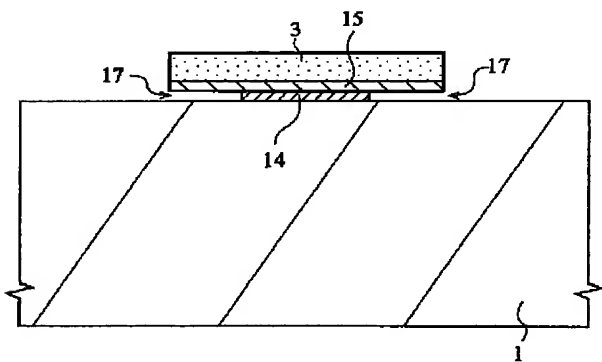
【図45】



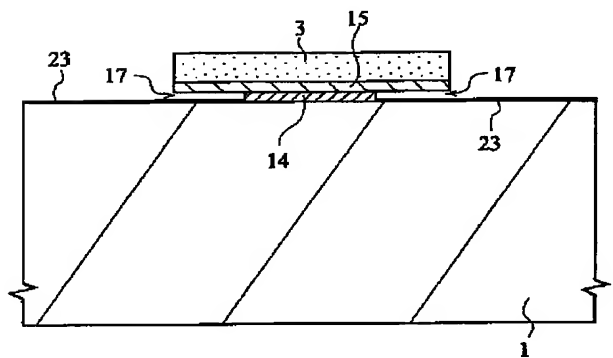
【図46】



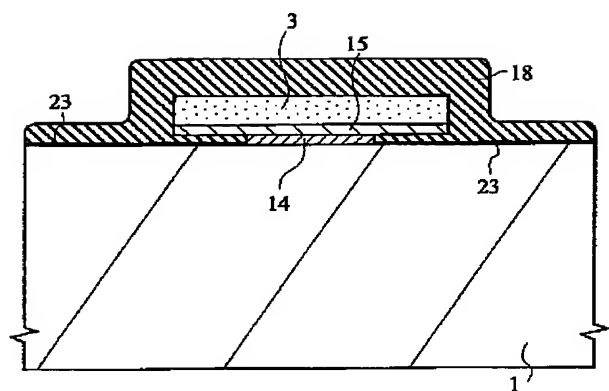
【図47】



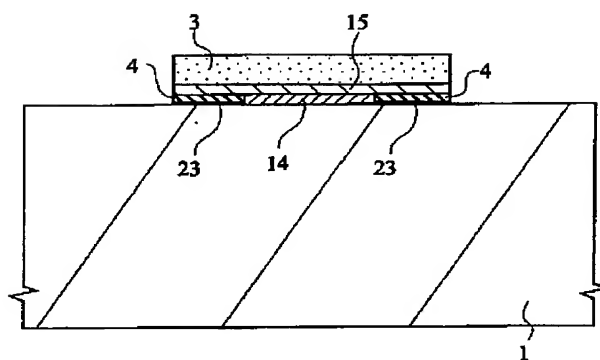
【図48】



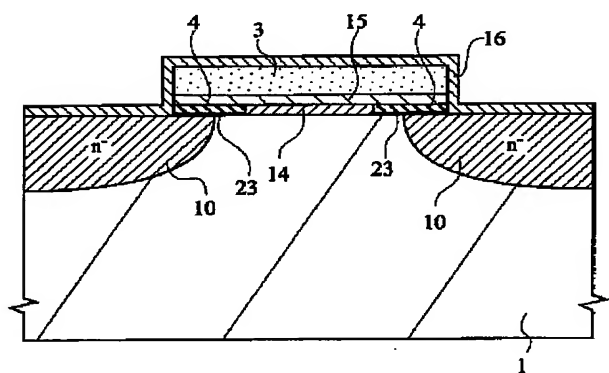
【図 49】



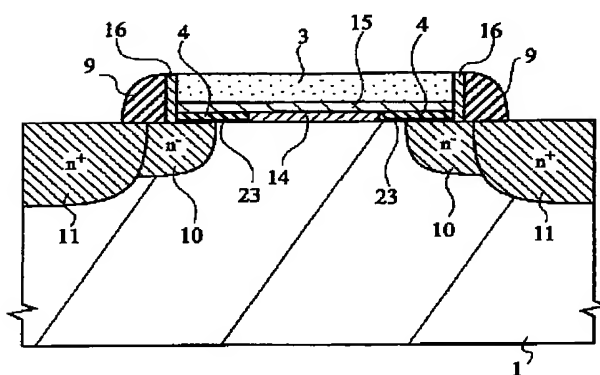
【図 50】



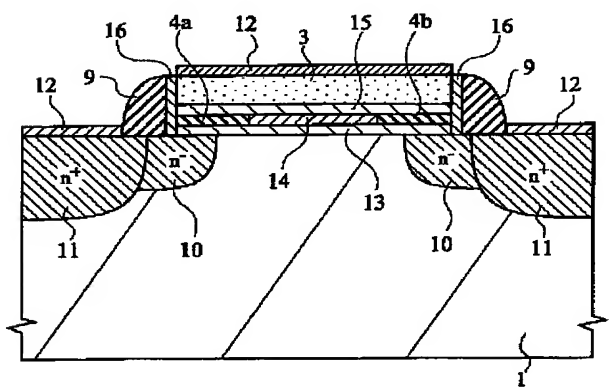
【図 51】



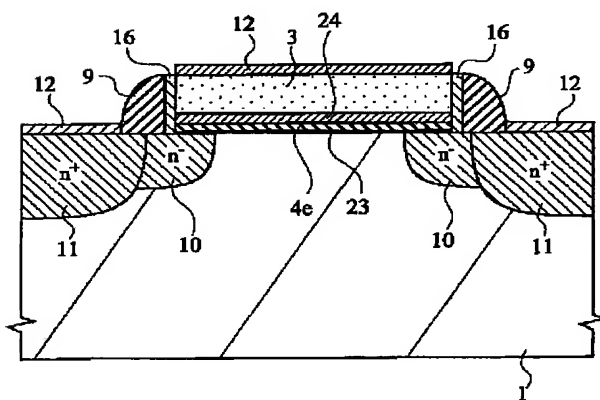
【図 52】



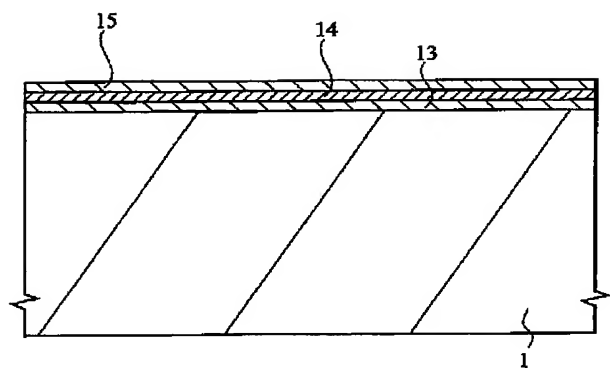
【図 53】



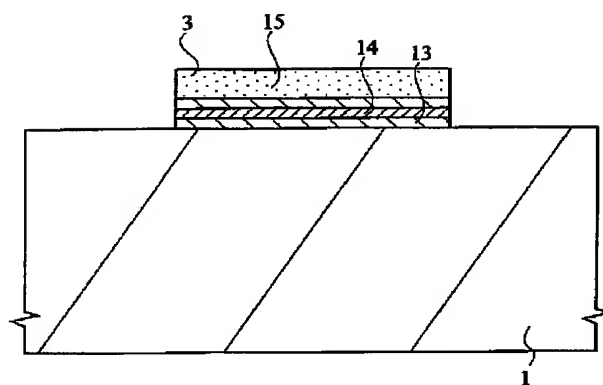
【図 54】



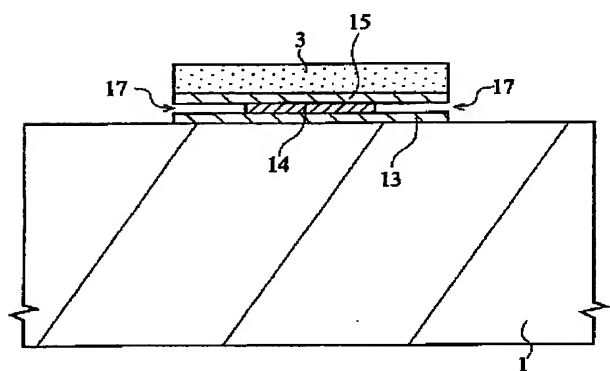
【図 55】



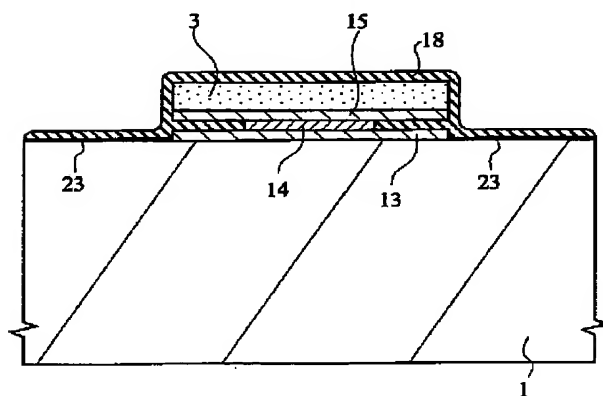
【図 56】



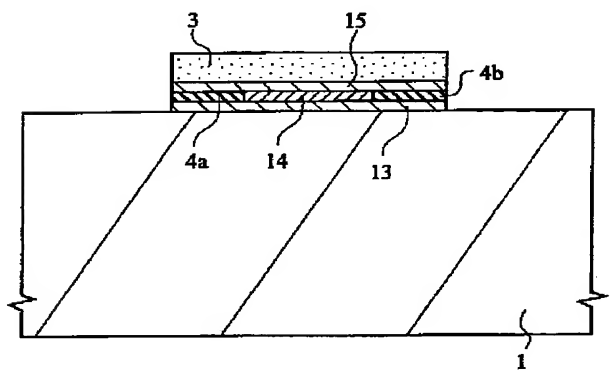
【図 57】



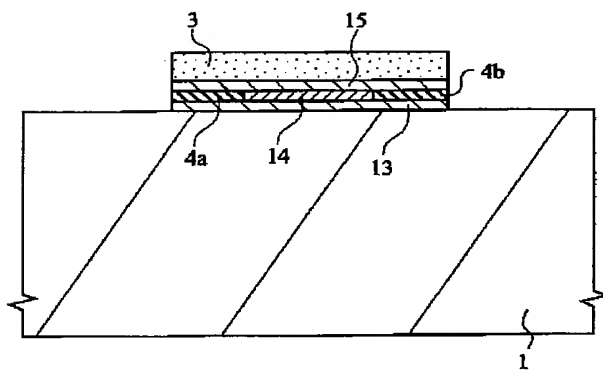
【図 58】



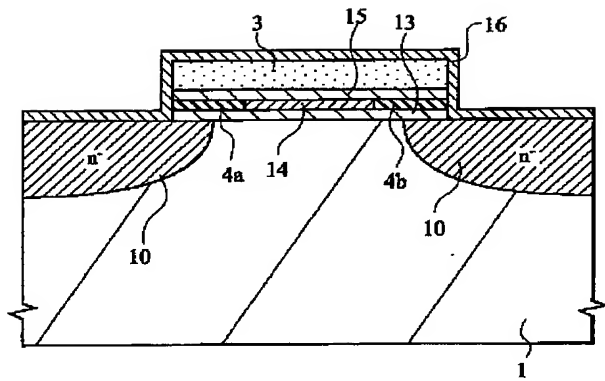
【図 59】



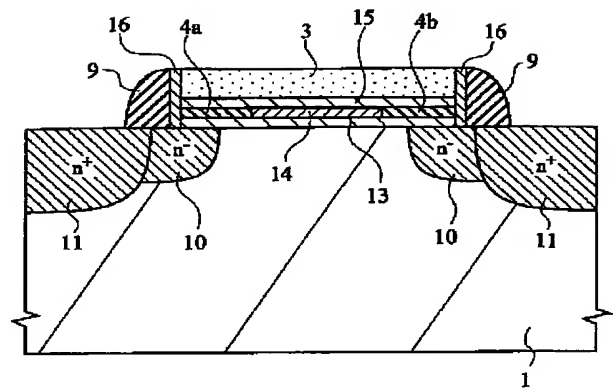
【図 60】



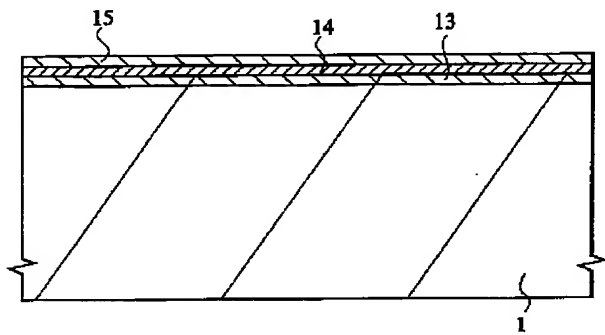
【図61】



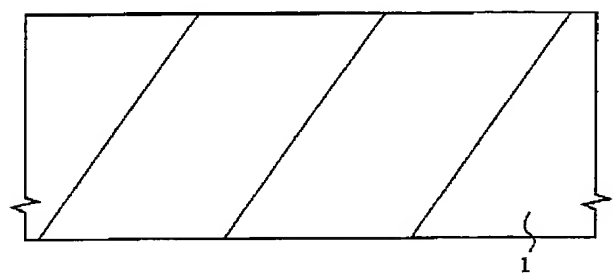
【図62】



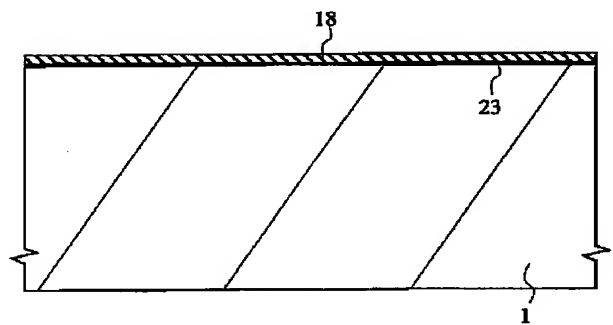
【図63】



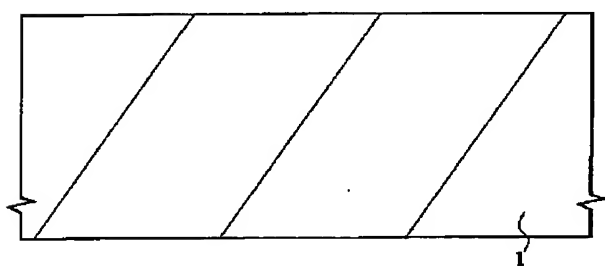
【図64】



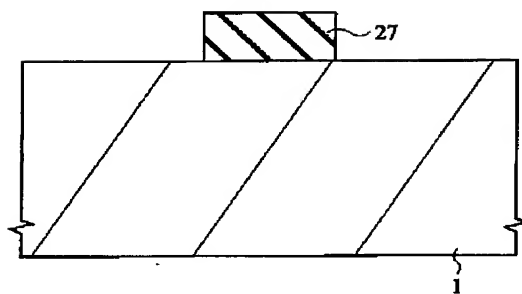
【図66】



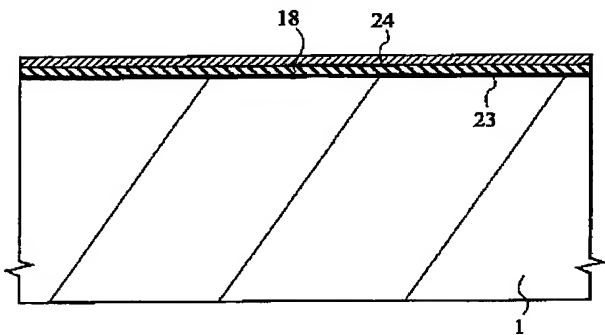
【図65】



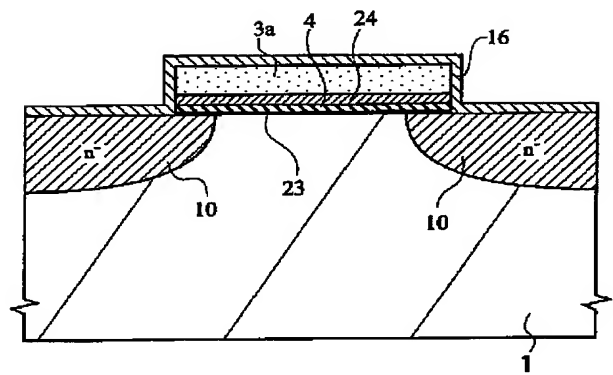
【図74】



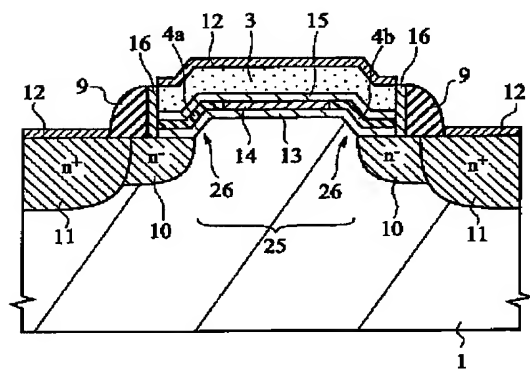
【図67】



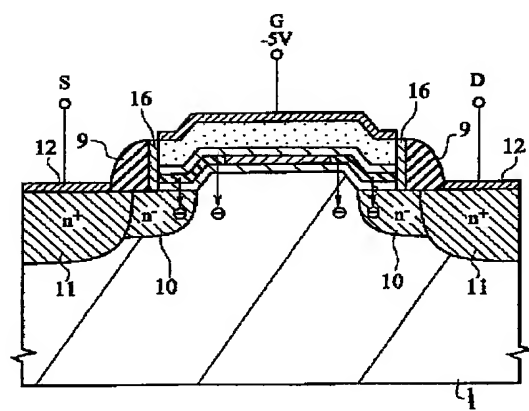
【図 69】



【図 7 1】

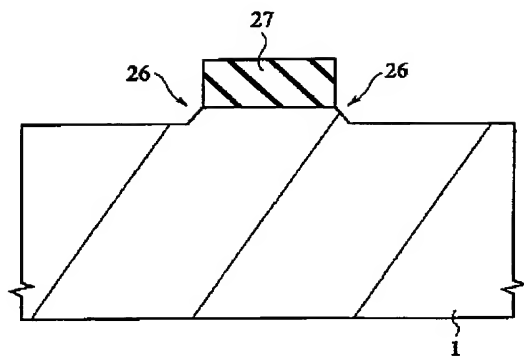


【図 7 3】

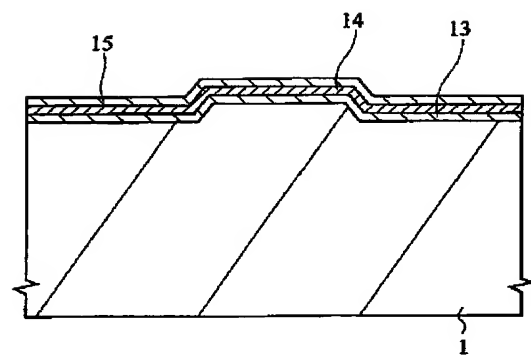




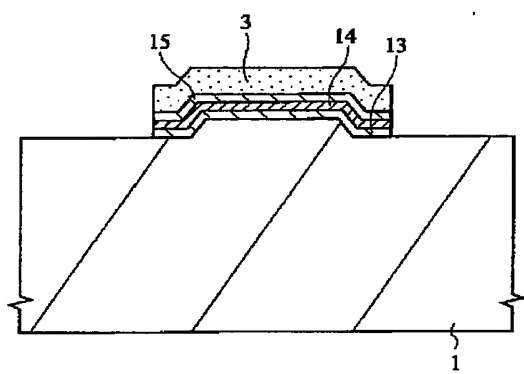
【図 75】



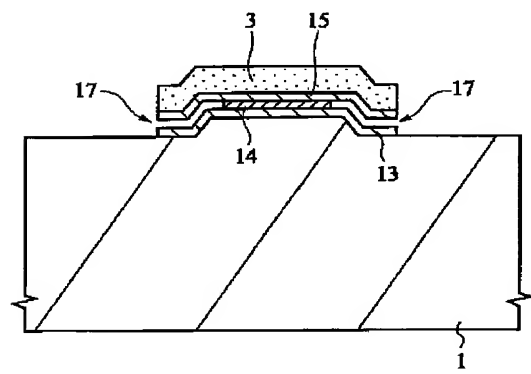
【図 76】



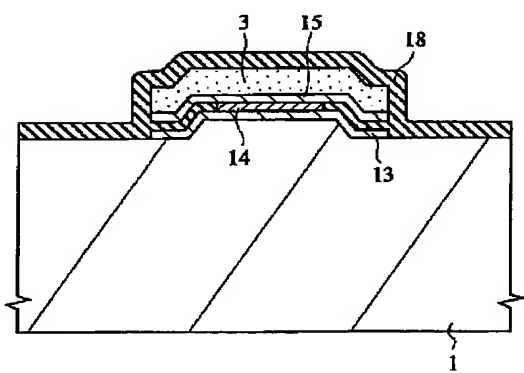
【図 77】



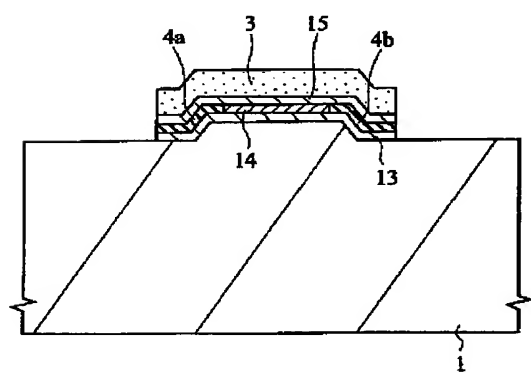
【図 78】



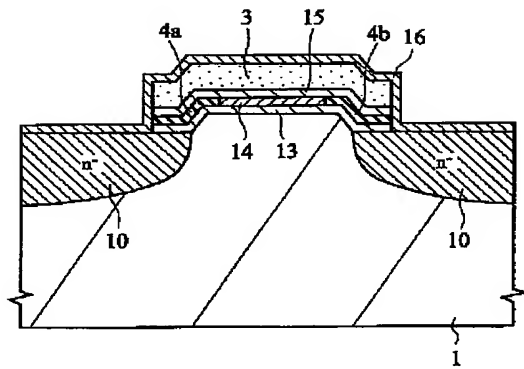
【図 79】



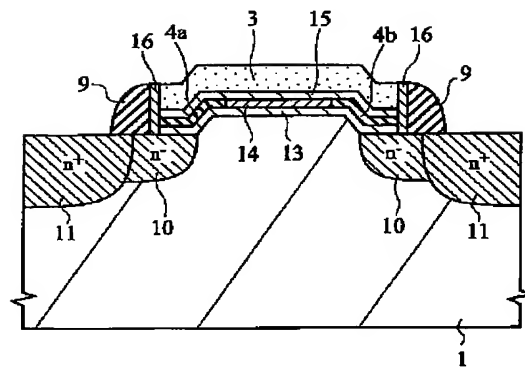
【図 80】



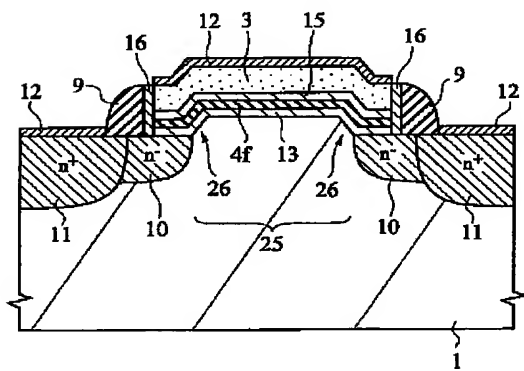
【図 8 1】



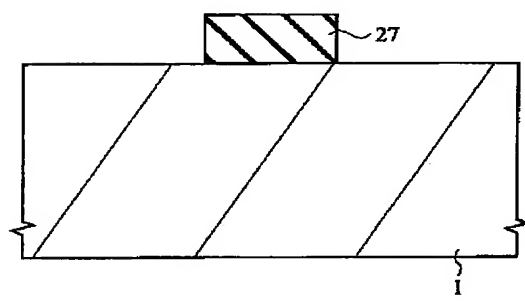
【図 8 2】



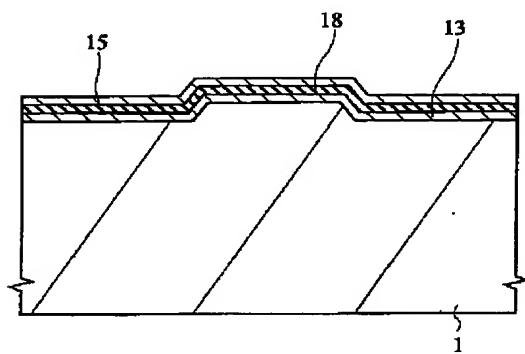
【図 8 3】



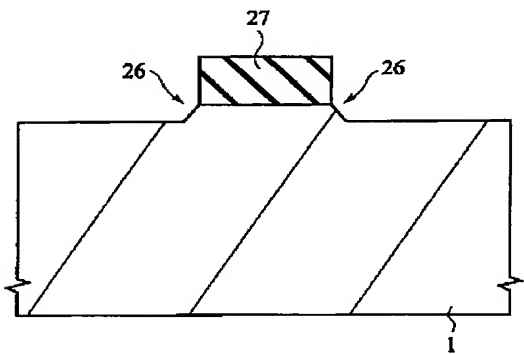
【図 8 4】



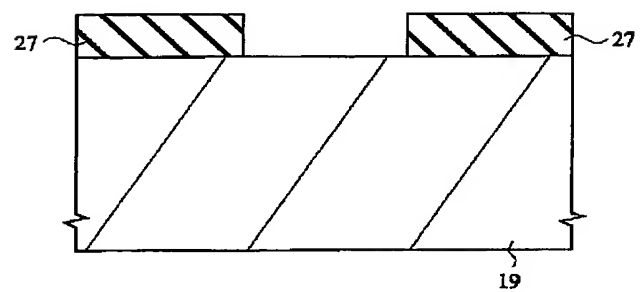
【図 8 6】



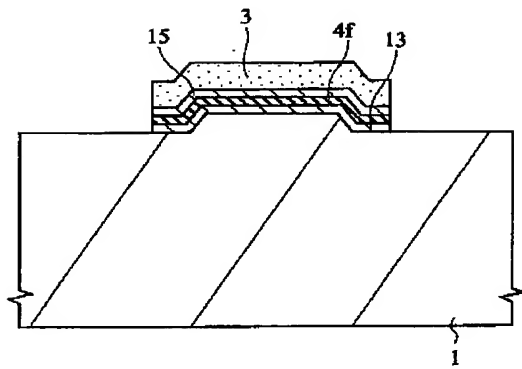
【図 8 5】



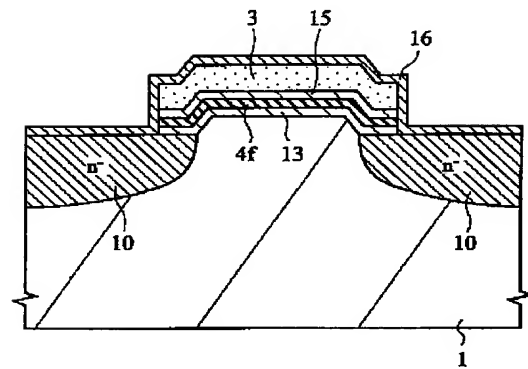
【図 9 3】



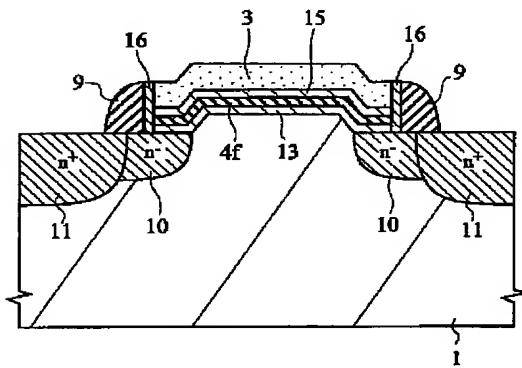
【図 87】



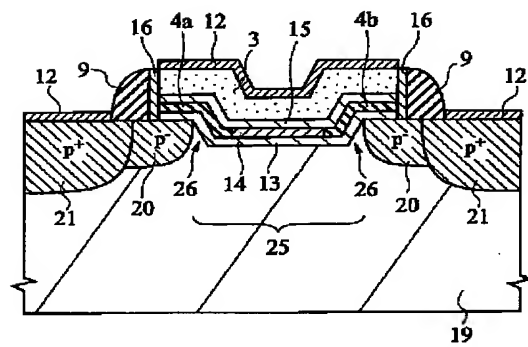
【図 88】



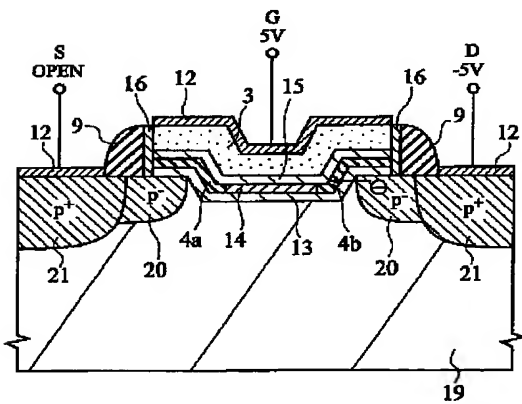
【図 89】



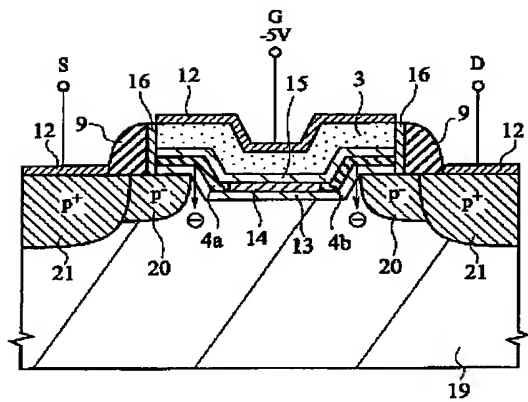
【図 90】



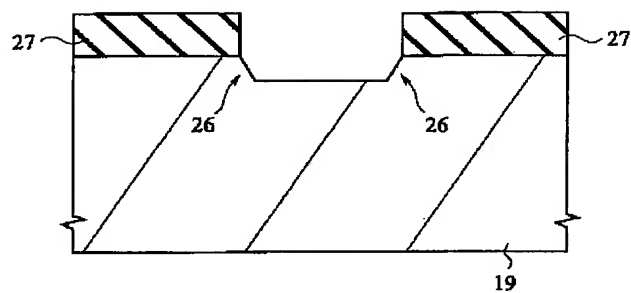
【図 91】



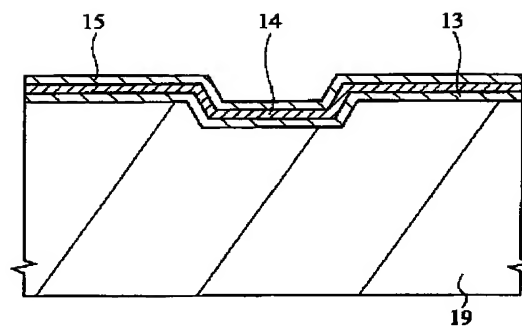
【図 92】



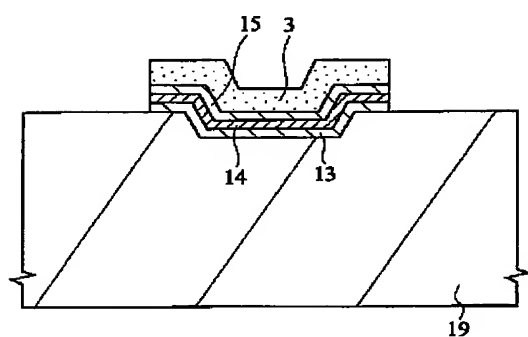
【図94】



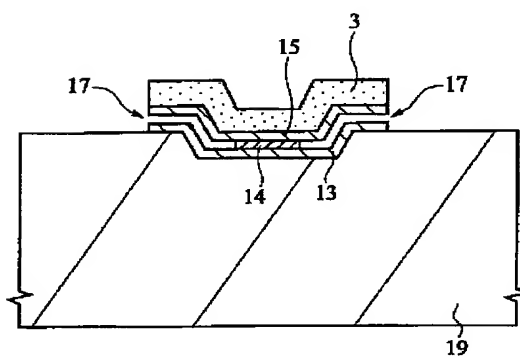
【図95】



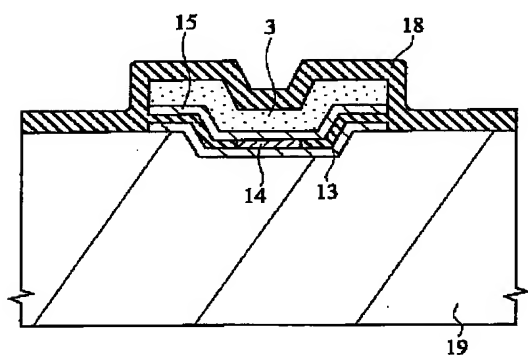
【図96】



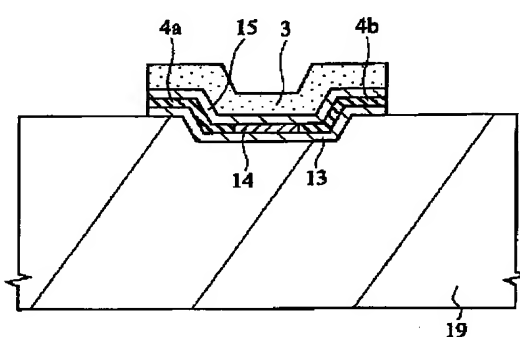
【図97】



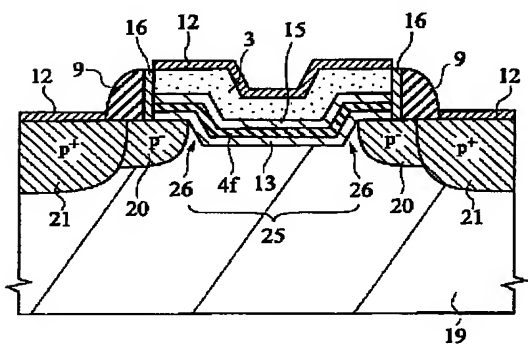
【図98】



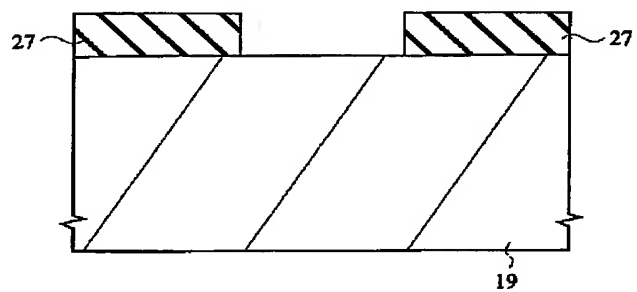
【図99】



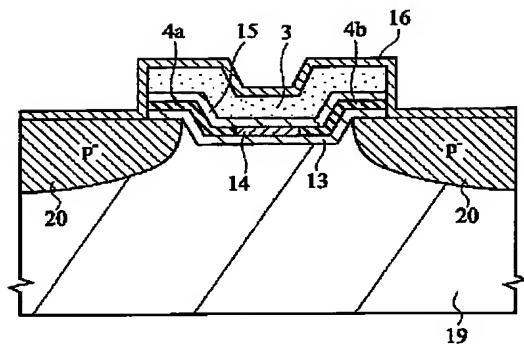
【図102】



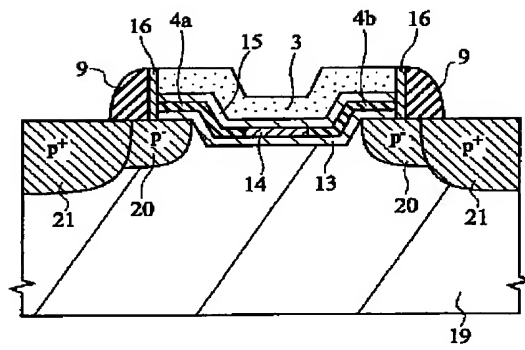
【図103】



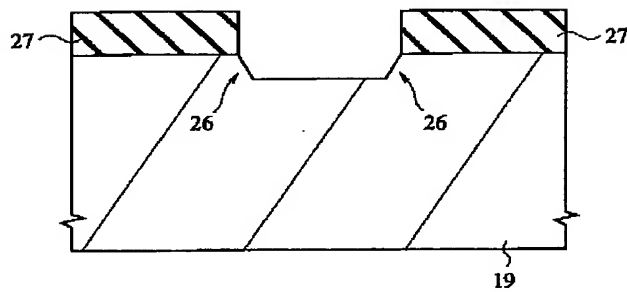
【図100】



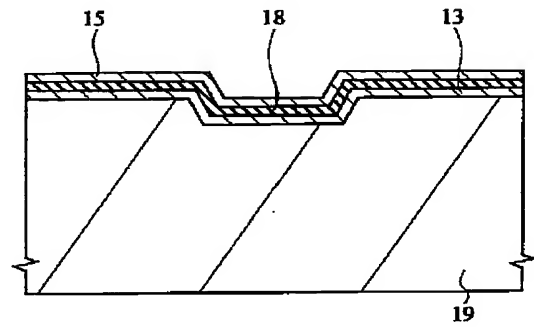
【図101】



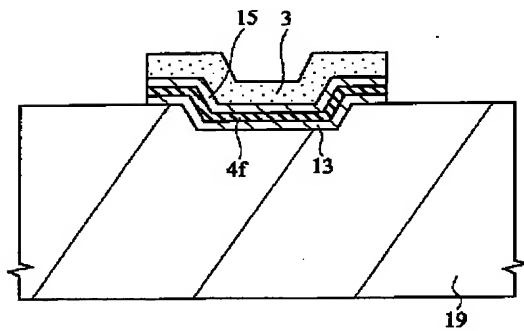
【図104】



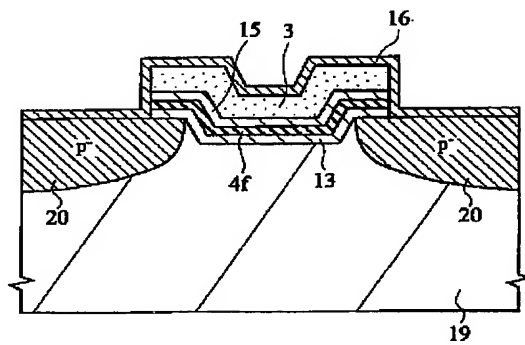
【図105】



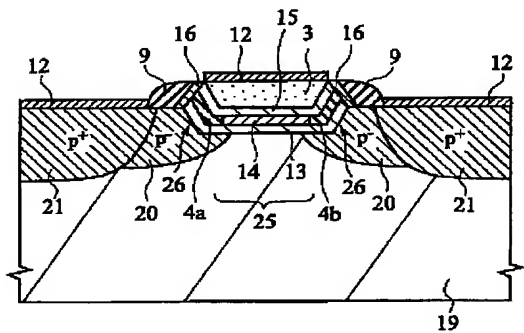
【図106】



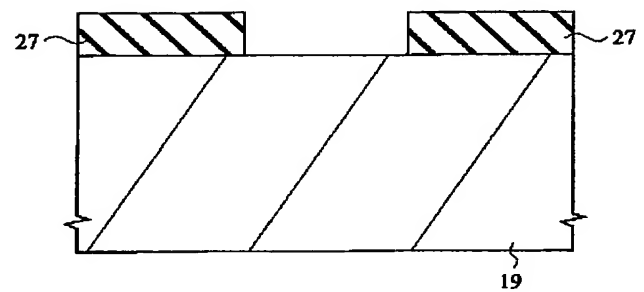
【図107】



【図109】

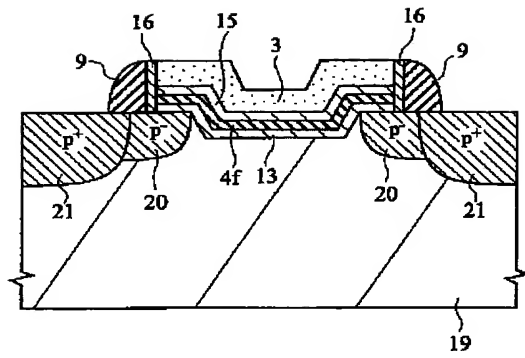


【図110】

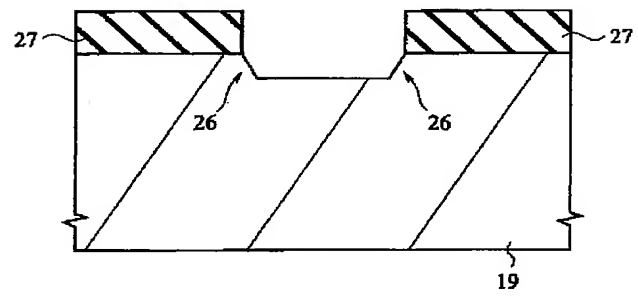




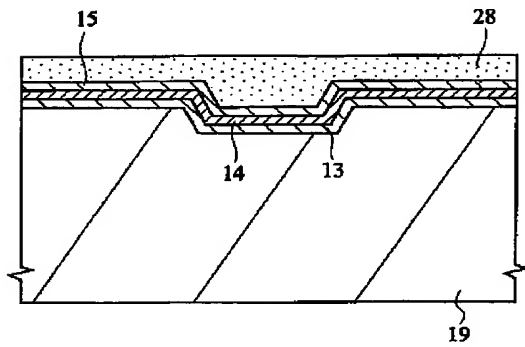
【図108】



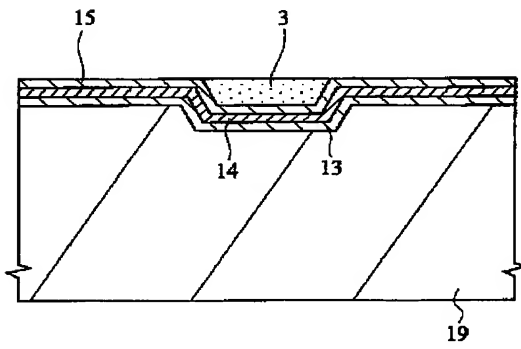
【図111】



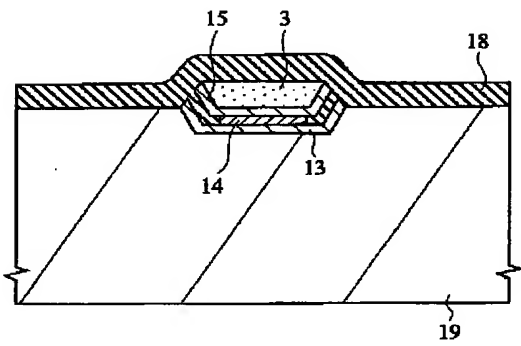
【図112】



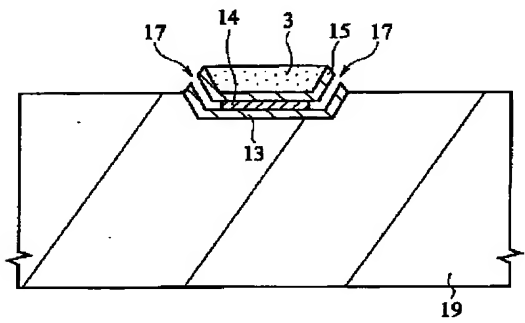
【図113】



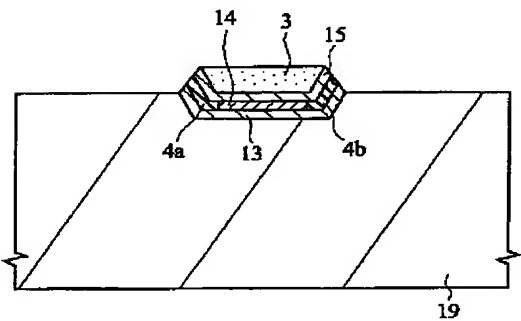
【図115】



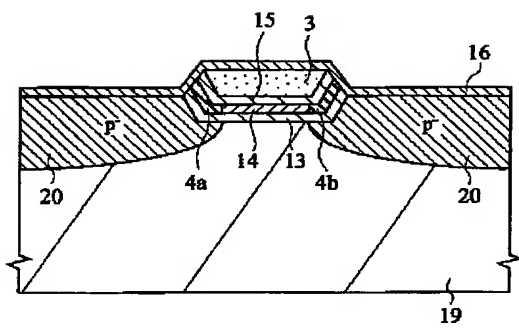
【図114】



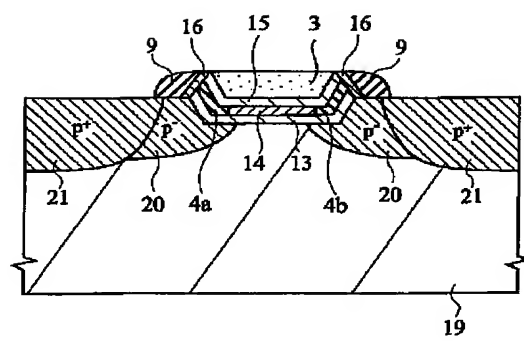
【図116】



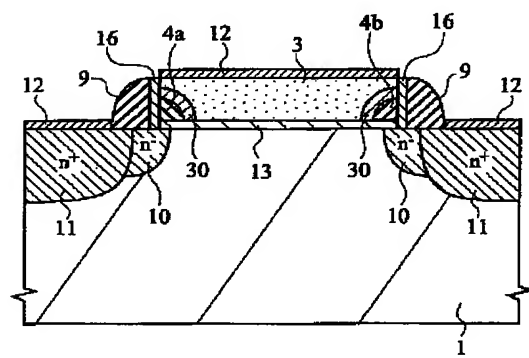
【図117】



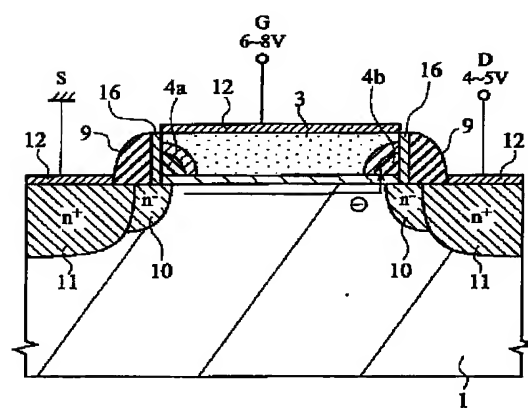
【図118】



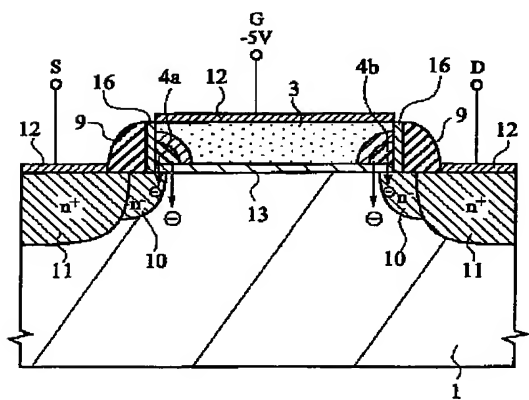
【図119】



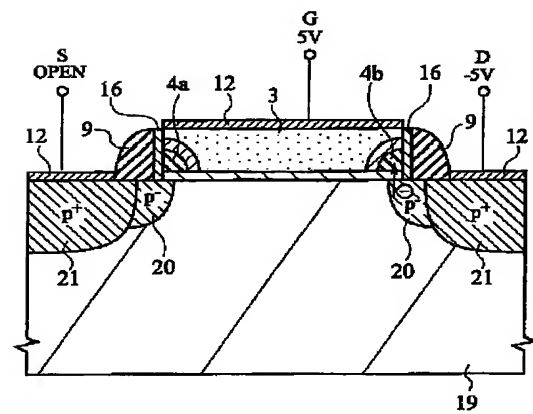
【図120】



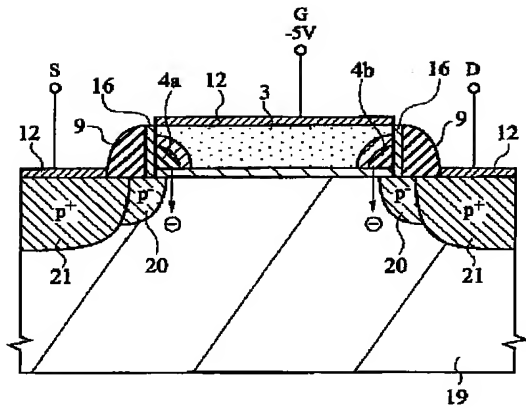
【図121】



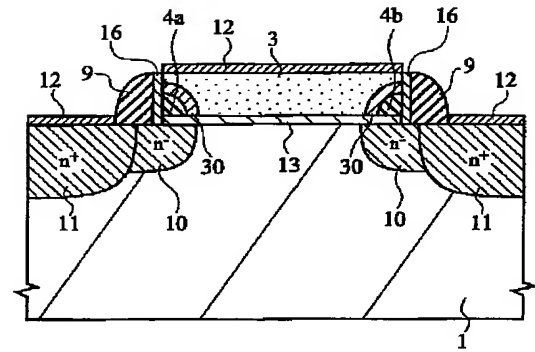
【図122】



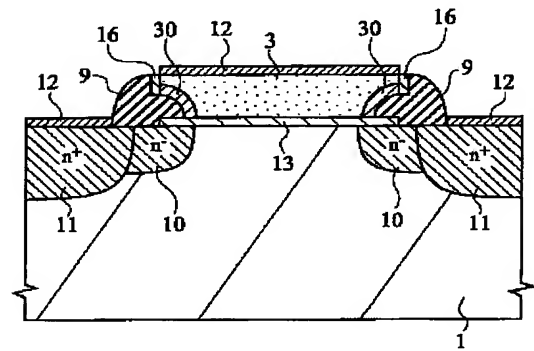
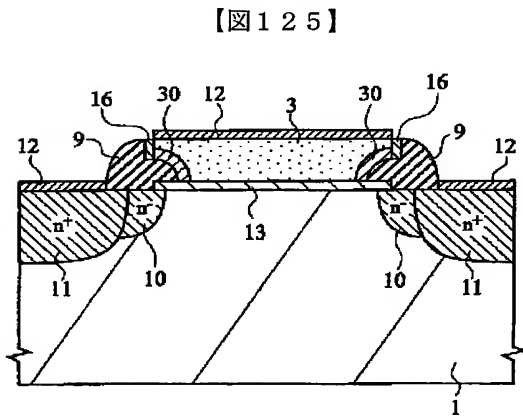
【図123】



【図124】



【図125】



フロントページの続き

(51) Int. Cl.<sup>7</sup>

H01L 27/115  
27/10

識別記号

481  
491

F I

テーマコード (参考)

F ターム(参考) 5F001 AA12 AA13 AB20 AC02 AC06  
AC62 AD17 AE02 AE08 AF20  
AG03 AG07 AG10 AG29 AG40  
5F083 AD01 EP17 EP18 EP23 EP28  
EP48 EP49 EP50 EP63 EP68  
ER02 ER05 ER06 ER15 ER16  
ER19 ER30 GA16 JA04 JA06  
JA14 JA15 JA35 JA39 JA53  
PR03 PR05 PR09 PR29 PR43  
PR45 PR53 PR55 ZA07 ZA14  
ZA21  
5F101 BA42 BA45 BB03 BC02 BC11  
BC13 BD07 BE05 BE07 BF05  
BH05 BH14 BH15 BH19 BH21